

INSTITUTO POLITÉCNICO NACIONAL

ESCUELA SUPERIOR DE INGENIERÍA MECÁNICA Y ELÉCTRICA
SECCIÓN DE ESTUDIOS DE POSGRADO E INVESTIGACIÓN

UNIDAD CULHUACAN

“Diseño de un Modulador $\Sigma\Delta$ en tiempo
continuo utilizando el transistor de
compuerta flotante”

TESIS

QUE PARA OBTENER EL GRADO DE
MAESTRO EN CIENCIAS DE INGENIERIA EN
MICROELECTRONICA

PRESENTA

ING. DORA INES REYES CHAVEZ

ASESORES:

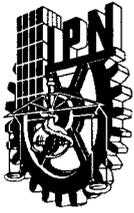
Dr. GONZALO ISAAC DUCHEN SANCHEZ

Dr. JUAN CARLOS SANCHEZ GARCIA



MEXICO D.F.

OCTUBRE 2011



INSTITUTO POLITÉCNICO NACIONAL SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

ACTA DE REVISIÓN DE TESIS

En la Ciudad de México, D. F. siendo las 11:00 horas del día 6 del mes de octubre del 2011 se reunieron los miembros de la Comisión Revisora de la Tesis, designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de SEPI-ESIME-CULHUACAN para examinar la tesis titulada:

“Diseño de un Modulador Sigma Delta en Tiempo Continuo Utilizando el Transistor de Compuerta Flotante”

Presentada por el alumno:

Reyes	Chávez	Dora Inés
Apellido paterno	Apellido materno	Nombre(s)
Con registro:		
B	0	9
1	7	7
7		

aspirante de:

MAESTRÍA EN CIENCIAS DE INGENIERÍA EN MICROELECTRÓNICA

Después de intercambiar opiniones los miembros de la Comisión manifestaron **APROBAR LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

Directores de tesis



 Dr. Gonzalo Isaac Duchén Sánchez



 Dr. Juan Carlos Sánchez García



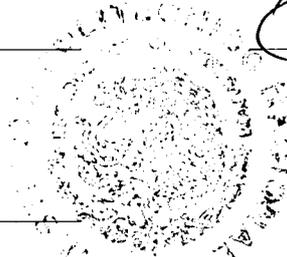
 Dr. Basilio del Muro Cuéllar



 Dr. Miguel Ángel Olivares Robles



 Dr. Enrique Escamilla Hernández



PRESIDENTE DEL COLEGIO DE PROFESORES



 Dr. Gonzalo Isaac Duchén Sánchez

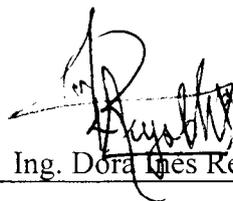


INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

CARTA CESIÓN DE DERECHOS

En la Ciudad de México D.F el día 10 del mes octubre del año 2011 , el (la) que suscribe **Dora Inés Reyes Chávez** alumno (a) del Programa de **Maestría en Ciencias de Ingeniería en Microelectrónica** con número de registro **B091777**, adscrito a la **Sección de Estudios de posgrado e investigación de la Escuela Superior de Ingeniería Mecánica y Eléctrica Unidad Culhuacan**, manifiesta que es autor (a) intelectual del presente trabajo de Tesis bajo la dirección de **Dr. Gonzalo Isaac Duchén Sánchez** y el **Dr. Juan Carlos Sánchez García** y cede los derechos del trabajo intitulado: **Diseño de un Modulador Sigma Delta en Tiempo Continuo Utilizando el Transistor de Compuerta Flotante**, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección **dorinesus@yahoo.com**. Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.



Ing. Dora Inés Reyes Chávez

Nombre y firma

Dedicatorias

Dedico con todo mi amor y cariño

Principalmente a Dios y a La Santísima Virgen María por escuchar mis oraciones y darme la gran familia que poseo.

En especial a mis dos Hijos Adorados Jamila Margarita y Mike Alexander que son mi razón de ser y que han soportado mi ausencia; los amo mis tesoritos.

A mis padres que me dieron la vida y que han estado conmigo a cada momento. Mami tu apoyo ha sido incondicional gran parte de este logro ha sido por ti, eres el mejor ejemplo a seguir. Papi gracias por darme la oportunidad de salir del seno de tu hogar para lograr esta meta.

A mis hermanos Hilda María, Miguel Ángel, Alejandro Wilfredo; gracias por estar conmigo y ayudarme.

A toda la mi familia que siempre ha estado pendiente de mi bienestar muchas gracias. A todos mis amigos, Profesora Esperanza Porta siempre preocupada por mí, doña Margarita amiga incondicional, a los nuevos amigos que conocí aquí en México a los cuales les agradezco por su hospitalidad.

Gracias sin todos ustedes no lo hubiera logrado, tanta ausencia y sufrimiento hoy da su fruto. Les agradezco a todos ustedes desde el fondo de mi alma y corazón por estar en mi vida y compartir momentos hermosos y momentos tristes, esos momentos que nos hacen crecer y madurar.

“Nuestros sufrimientos son caricias bondadosas de Dios, llamándonos para que nos volvamos a Él, y para hacernos reconocer que no somos nosotros los que controlamos nuestras vidas, sino que es Dios quien tiene el control, y podemos confiar plenamente en Él”. (Madre Teresa de Calcuta)

Agradecimientos

A las instituciones que apoyaron el desarrollo de este trabajo de investigación:

INSTITUTO POLITECNICO NACIONAL (IPN)

UNIVERSIDAD NACIONAL DE INGENIERIA (UNI) NICARAGUA

CONSEJO NACIONAL DE CIENCIA Y TECNOLOGIA (CONACYT)

PROGRAMA INSTITUCIONAL DE FORMACION DE INVESTIGADORES
(PIFI)

A mis asesores:

Dr. Juan Carlos Sánchez García y Dr. Gonzalo Isaac Duchén Sánchez por apoyarme y compartir sus conocimientos.

Dr. Jesús de la Cruz Alejo por brindarme incondicionalmente su apoyo y por compartir su valioso conocimiento y tiempo que permitieron la culminación exitosa de este trabajo.

El presente trabajo aborda el diseño y desarrollo de un modulador $\Sigma\Delta$ en tiempo continuo en modo diferencial para la conversión analógica a digital de señales de baja frecuencia. El modulador es diseñado con circuitos que consumen baja potencia y bajo voltaje, utilizando transistores de compuerta flotante (FGMOS); cuya característica principal es que su voltaje de umbral es controlado por N voltajes de entrada acoplados a la compuerta flotante a través de capacitores. El sistema se integra para su realización microelectrónica utilizando diferentes bloques, tales como, integradores Gm-C operando como filtros pasa-bajos, un comparador operando como cuantizador de un bit y, pares diferenciales como convertidores de digital-analógico. Esto, conlleva a contar con técnicas de sobre muestreo con una alta velocidad de procesamiento en tiempo real. Por lo tanto, el diseño y desarrollo toma en cuenta técnicas de procesos *CMOS* de $0.5 \mu m$, para su realización.

Abstract

This work presents the design and development of a continuous-time $\Sigma\Delta$ modulator in differential mode for the analog to digital conversion of low frequency signals. The modulator is designed with circuits that consume low power and low voltage, using floating gate transistors (FGMOS), and their main characteristic is that their threshold voltage is controlled by N input voltages coupled to the floating gate through capacitors. The system is integrated for its microelectronics realization using different blocks, such as Gm-C integrators operating as low-pass filters, a comparator operating as one bit quantizer and differential pairs as digital to analog converters. This leads to count with over-sampling techniques with a high speed processing in real time. Therefore, the design and development take into account process techniques *CMOS* of $0.5 \mu m$ for its performing.

Lista de abreviaciones	9
Lista de símbolos	10
Lista de Figuras y tablas	12
Introducción	15
Planteamiento del problema	18
Objetivos	19
Justificación	20

Capítulo 1

El transistor de compuerta Flotante	21
1.1 Introducción	22
1.2 El Transistor FGMOS	23
1.3 Comportamiento a señal grande	25
1.4 Comportamiento a pequeña señal	28
1.5 Simulación	29
1.6 Conclusiones del capítulo 1	31

Capítulo 2

Modulación $\Sigma\Delta$	32
2.1 Introducción	33
2.2 Tasa de Nyquist para los convertidores Analógicos a digitales	33
2.2.1 Sampling	34

2.2.2 Cuantificación	35
2.3 Sobremuestreo de un convertidor Analógico Digital	38
2.3.1 Sobremuestreo	40
2.4 Modulación $\Sigma\Delta$ Pasa bajos	41
2.4.1 Moduladores retroalimentado	41
2.4.2 Modulador $\Sigma\Delta$ de primer orden	43
2.4.3 Modulador $\Sigma\Delta$ de segundo orden	46
2.4.4 Modulador $\Sigma\Delta$ de orden n	47
2.5 Conclusiones capitulo 2	49
Capítulo 3	
Diseño y análisis del modulador $\Sigma\Delta$	50
3.1 Introducción	51
3.2 Integrador $G_m - C$ basados en transistores FGMOS en la región de saturación	52
3.2.1 CMRR	59
3.2.2 CMFB	63
3.3 Comparador FGMOS con compensación de offset	65
3.3.1 Compensación de offset	67
3.4 Funcionamiento del circuito del convertido análogo Digital $\Sigma\Delta$ sobremuestreado	69
3.5 Conclusiones capitulo 3	70

Capítulo 4

Análisis de Resultados	71
4.1 Introducción	72
4.2 Simulaciones	73
4.2.1 Simulaciones integrador $G_m - C$	74
4.2.2 Simulaciones Comparador	76
4.2.3 Simulación de todo el sistema del modulador $\Sigma\Delta$	78
4.3 Conclusiones Capitulo 4	80
Conclusiones y Trabajo Futuro	81
Conclusiones	82
Trabajo futuro	84
Anexos	85
Referencias	86
Trabajos realizados	91

Acrónimos

ADC	Convertidor análogo digital.
DC	Corriente directa.
DR	Rango dinámico.
FG	Compuerta flotante.
FGMOS	Transistor MOS de compuerta flotante.
LP	Baja potencia.
LV	Bajo Voltaje.
NTF	Función de transferencia de ruido.
SQNR	Relación señal a ruido de cuantización.
STF	Función de transferencia de la señal.
VLSI	Integración a muy gran escala.
$\Sigma\Delta$	Modulación sigma delta.

Índice de Nomenclatura

β_1	β Parámetro de transconductancia de la entrada del transistor en el transconductor.
Δ_{1i} para $i=[2,4]$	Porcentaje de mismatch en capacitancia C_{in} del transconductor.
Δ_{2i} para $i=[2,4]$	Porcentaje de mismatch en capacitancia C_{CM} del transconductor.
ΔV_T	$V_{Tn2} - V_{Tn1}$ diferencia entre los voltajes de umbral de M1 y M2 en el comparador con transistores FGMOS.
ϵ_{SiO_2}	Constante dieléctrica del SiO_2 .
C_c	Capacitancia conectada a cada V_{b1} o V_{b2} en el transconductor.
C_{clk}	Valor de la capacitancia conectada a la señal de reloj en el comparador con FGMOS.
C_{CM}	Capacitancia conectada a la salida del CMFB en el comparador.
$(C_{CM}/C_T)_i$	Peso de la entrada asociada con C_{CM} en el transconductor.
C_{GB}	Capacitancia parasita de compuerta a Bulk.
C_{in}	Capacitancia de entrada conectada a la entrada efectiva del comparador.
$(C_{in}/C_T)_i$	Peso de la entrada asociada con C_{in} en el transconductor.
C_T	Capacitancia total vista en la FG.
G_m	Transconductancia del transconductor.
g_{ds}	Conductancia de salida de transistor MOS.
g_{dsF}	Conductancia de salida del transistor FGMOS.
g_m	Transconductancia de compuerta del transistor MOS.
g_{mb}	Transconductancia del Bulk del transistor MOS.
g_{mbF}	Transconductancia del Bulk del transistor FGMOS.
G_{outn}	Conductancia de salida de la parte inferior (tipo -n) de el integrador.
G_{outp}	Conductancia de salida de la parte superior (tipo -p) de el integrador.
I_B	Corriente de bias o polarización.
I_{bias}	Corriente que fluye a través de los transistores PMOS M3 y M4 en el comparador, en la ausencia de mismatch entre ellos cuando se aplica V_{bias} .

Índice de Nomenclatura

I_{out}	Corriente de salida.
Q_{FG}	Carga atrapada en la FG durante su fabricación.
t_{SiO_2}	Delgadez del SiO_2 entre la FG y las entradas efectivas de voltaje V_i .
V_{bias}	Voltaje de bias de los transistores PMOS M3 y M4 en el comparador FGMOS.
V_{clk}	Voltaje de reloj del comparador.
V_{cm}	Voltaje de modo común aplicado a V_{in}^+ durante la fase de compensación de offset en el comparador.
V_{FG}	Voltaje de la FG.
V_{in}	Voltaje de entrada efectiva del FGMOS.
V_{inCM}	Voltaje de entrada de modo común a la entrada del integrador efectiva del transconductor, cuando solo se toma en cuenta una sola rama del circuito.
V_{in}^{\pm}	Entradas efectivas del comparador FGMOS.
V_{off}	Entrada del comparador FGMOS usado para compensación de Offset.
$V_{off}\Delta V_T$	Offset en la entrada causada por la variación del voltaje de umbral del comparador FGMOS.
V_{out}	Voltaje de salida diferencial del transconductor.
V_{out2}	Voltaje de salida único del transconductor.
V_{th}	Voltaje de umbral.
W/L	Relación de aspecto de un transistor MOSFET.

Lista de figuras y tabla

- Fig. 1.1 Diseño de un transistor FGMOS de canal N de 3 entradas.
- Fig. 1.2 Símbolo de un transistor FGMOS de canal N, con n entradas.
- Fig. 1.3 Efecto de modificar la carga en la compuerta flotante.
- Fig. 2.1 Operaciones Básicas de una conversión A/D.
- Fig. 2.2 Espectro de una señal de banda limitada (a) Muestreo de Niquist
(b) Sobremuestreo.
- Fig. 2.3 Cuantificación (a) Función de transferencia de un cuantificador uniforme
(b) Error de cuantificación de un cuantificador uniforme.
- Fig.2.4 Función de densidad de probabilidad de $e[n]$.
- Fig.2.5 Linealización, Modelo de un cuantificador.
- Fig. 2.6 Densidad espectral de potencia de ruido cuantificado cuando la señal de
entrada es sobremuestreada.
- Fig. 2.7 Estructura general de un Modulador Retroalimentado.
- Fig. 2.8 Modelo lineal de un modulador retroalimentado.
- Fig. 2.9 Modulador $\Sigma\Delta$ de primer orden.
- Fig. 2.10 Modelo Lineal de un Modulador $\Sigma\Delta$.
- Fig. 2.11 Modulador $\Sigma\Delta$ de segundo orden.

- Fig. 2.12 Modulador $\Sigma\Delta$ de segundo orden linealizado.
- Fig. 2.13 Modulador $\Sigma\Delta$ de orden n.
- Fig. 3.1 Integrador $G_m - C$ diseñado con transistores FGMOS.
- Fig.3.2 Circuito equivalente a pequeña señal de una sola rama del integrador $G_m - C$.
- Fig. 3.3 Circuito CMFB
- Fig. 3.4 Circuito equivalente a pequeña señal para el cálculo de la ganancia de salida de modo común.
- Fig. 3.5 (a) Circuito CMFB. b) Circuito equivalente a pequeña señal.
- Fig. 3.6 Comparador con transistores FGMOS con compensación de offset.
- Fig. 3.7 Circuito esquemático del convertidor Análogo digital $\Sigma\Delta$ sobremuestreado de segundo orden.
- Fig. 4.1 Circuito Transistor FGMOS
- Fig. 4.2 Característica del voltaje de compuerta-corriente de drenador de un transistor de CF de umbral variable, para una tecnología de 0.5 μm .
- Fig. 4.3 Voltajes de entradas diferenciales del integrador G_m-C .
- Fig. 4.4 Salidas del integrador G_m-C .

- Fig. 4.5 Ganancia del Integrador G_m-C .
- Fig. 4.6 Salida del Comparador.
- Fig. 4.7 Entrada diferencial V_{in+} y V_{in-} del comparador.
- Fig. 4.8 Salida amplificada del comparador.
- Fig. 4.9 Salida del Modulador $\Sigma\Delta$.
- Fig. 4.10 Salida amplificada del modulador $\Sigma\Delta$.
- Fig. 4.11 Espectro de magnitud del Modulador $\Sigma\Delta$.
- Fig. 4.12 Patrón Geométrico del Modulador $\Sigma\Delta$
- Tabla 4.1 Valores de voltaje de umbral de Fig. 4.1.
- Tabla 4.2 Características principales del Integrador G_m-C .
- Tabla 4.3 Comparación de resultados.

Introducción

En los últimos años el creciente mercado de los sistemas electrónicos portátiles se ha convertido en un nuevo reto para los diseñadores de circuitos, debido a que se deben diseñar topologías que operan en condiciones de muy baja potencia y voltaje. Desde el punto de vista del sistema, es esencial que un sistema portátil trabaje con estas condiciones para aumentar la vida útil de la batería y, al mismo tiempo, minimizar el ciclo de recarga. Como resultado, el consumo de energía de estos sistemas tiene que ser lo suficientemente bajo como para satisfacer estos requisitos.

Por lo consiguiente, nos ponemos a pensar ¿por qué Bajo Voltaje? Desde la invención del transistor hace más de 50 años, los avances de la microelectrónica se pueden resumir de la siguiente manera: 15 por ciento de disminución en el tamaño de la característica por año, el 30 por ciento de disminución de costos por año, 50 por ciento de mejora del rendimiento y 15 por ciento de crecimiento en el mercado. Los números hablan por sí mismos. Esta evolución exponencial ha hecho que muchos expertos en la década de 1990 afirmaran que los límites fundamentales estaban a punto de ser alcanzados. Afortunadamente, las innovaciones técnicas han permitido reducir el tamaño de las tecnologías de dimensiones más pequeñas que la predicción de 0,3 micras. Sin embargo, como las dimensiones de los dispositivos se reducen, surge una nueva restricción: las demoras de interconexión y el hecho de que afectan directamente a la disipación de potencia CV^2 . En el pasado, esto no fue problema, ya que las capacitancias se redujeron junto con las dimensiones. Recientemente, esta relación de escala ha sido reemplazada de ser proporcional a la longitud total de cables, L , en el circuito. La disipación de potencia de interconexión por lo tanto, se puede escribir como KV^2L (donde k es la constante dieléctrica). Por lo tanto, el parámetro más significativo en la reducción de la potencia de interconexión es el voltaje y se requieren nuevas estrategias para operar circuitos de baja potencia de alimentación [1,11].

Sin embargo, esta no es la única motivación que alimenta el deseo de los investigadores para operar circuitos de tensiones más bajas. El otro, se relaciona con

la magnitud de los campos eléctricos en los dispositivos. Estos crecen proporcionalmente a medida que las dimensiones se reducen, lo que aumenta el riesgo de ruptura dieléctrica. Sin embargo estos pueden ser compensados por la reducción de las diferencias de voltaje a través de los dispositivos.

Hoy en día el rápido desarrollo del comercio electrónico basado en herramientas de entretenimiento, la computación y la comunicación, especialmente los portátiles, ha proporcionado una unidad sólida para la tecnología de la microelectrónica en los últimos diez años. Portabilidad del sistema por lo general requiere de suministro de voltaje y por lo tanto, se tiene que considerar opciones de alimentación. Desafortunadamente, las tecnologías de batería no evolucionan tan rápido como la demanda de aplicaciones. Por lo tanto, el reto, derivado de las exigencias del mercado, es reducir el consumo de potencia de los circuitos. Por lo tanto, Circuitos alimentados con fuentes de voltaje de bajo consumo es conveniente.

Además de los productos de consumo, la duración de la batería es un factor crucial en algunos productos biomédicos, que tienen que ser usados o implantados en los pacientes durante un largo periodo de tiempo, los cuales están continuamente aumentando en número y en alcance. Investigación sobre los sistemas de baja potencia aplicadas a la biomedicina es otra búsqueda interesante para los diseñadores de la analógica [11-12].

Por lo tanto la elección de los integrados VLSI con CMOS, se basa en su menor costo y en la portabilidad de diseño. Además, la tecnología CMOS permite la posibilidad de integración con los Sistemas Micro Electro Mecánicos (MEMS) [7]. Estas son las razones más importantes que se han dirigido hacia la industria de diseños semiconductores CMOS de señal mixta, y poner las tecnologías CMOS como el líder en la industria de la microelectrónica semiconductores [18].

Por lo arriba mencionado, este trabajo de investigación se enfoca en el diseño de un Modulador $\Sigma\Delta$ sobremuestreado utilizando el transistor de compuerta flotante con acoplamiento capacitivo; las topologías de los moduladores $\Sigma\Delta$ son consideradas

como una de las opciones más atractivas para la conversión A / D con bajo voltaje y bajo consumo de potencia. Los moduladores $\Sigma\Delta$ Son bien conocidos por su baja sensibilidad a las imperfecciones del circuito, así como también no es necesario un filtro antialiasing,

Desde el punto de vista a nivel de circuito, hay diferentes opciones para la implementación de moduladores Sigma-Delta. La opción más importante es el filtro de bucle, que puede ser implementada ya sea en tiempo continuo (TC) o en tiempo discreto (TD) [7]. La razón para elegir un filtro de bucle TC en este trabajo es que ha demostrado ser más adecuada para aplicaciones de bajo voltaje y bajo consumo de potencia [5]. Una implementación de TC ofrece algunas ventajas, ya que es menos restrictiva en la ganancia de los amplificadores utilizados en el integrador, que puede ser hasta cinco veces menor que una implementación de TD para una frecuencia de muestreo fija f_s [6], un circuito de TC se comporta como un filtro antialiasing implícito y por lo tanto elimina la necesidad de una etapa de proceso de filtrado. En esta investigación se diseña un modulador $\Sigma\Delta$ de segundo orden con tecnología MOSIS de 0.5 μm . Las características más importantes del circuito son: tener un voltaje de polarización bajo de 1.5 V, y en consecuencia una baja disipación de potencia.

Planteamiento del Problema

El Desarrollo de dispositivos analógicos está creciendo rápidamente con el avance tecnológico al mismo tiempo se ve la necesidad de trabajar a bajos voltajes y menor error de offset en la implementación de estas tecnologías.

Fundamentalmente se muestran diseños de baja potencia para su uso en implementaciones biomédicas y sistemas móviles portátiles para lograr que el tiempo de vida de la batería o alimentación de voltaje sea mayor.

Objetivos

Objetivo General:

- Diseño de un Modulador Sigma Delta sobremuestreado en tiempo continuo usando el transistor de compuerta flotante, con el propósito de reducir el voltaje de polarización para su operación con baja potencia y bajo voltaje.

Objetivos Específicos:

- 1.-Investigar la operación y funcionamiento de los transistores FGMOS para utilizarlos en el diseño del Modulador Sigma Delta.
- 2.-analizar y aplicar el proceso de acoplamiento capacitivo, con el cual, será posible modificar la carga en la compuerta flotante del transistor MOS.
- 3.-Diseñar y verificar la operación de los bloques del modulador Sigma Delta.
- 4.-Simular los bloques del modulador Sigma delta.

Justificación

Actualmente se necesita trabajar con bajas potencias y bajo voltaje en el diseño micro electrónico. El transistor MOS de compuerta flotante se ha revelado como una alternativa adecuada para el diseño de sistemas electrónicos analógicos utilizables en diversas aplicaciones, tanto para baja como alta velocidad. Comparado con el transistor MOS normal, el voltaje en la compuerta flotante, no solo modula la corriente de canal del dispositivo, sino que además puede operar, ya sea como memoria o como una parte integral de procesamiento de las señales ponderadas en sus terminales. Asimismo, con base en la física del dispositivo, es particularmente importantes sus características, las cuales, permiten poder modificar la carga en su compuerta flotante mediante acoplamiento capacitivo. Este proceso, adiciona la característica de programabilidad al dispositivo, incrementando su eficacia y la eficiencia en su operación para su aplicación en sistemas con bajo voltaje y baja potencia, en gran escala VLSI. Al combinar esta estrategia con un convertidor A/D sigma delta se pueden obtener alta resolución y alta ganancia por las cualidades de excelente linealidad y un error muy pequeño. Aprovechando estas características se aplica a pequeñas señales (como por ejemplo medicas) y es por eso que se propone diseñar un convertidor A/D en sigma delta con compuerta flotante.

Capítulo 1

El transistor MOS de compuerta flotante

En este capítulo, se describen las características y propiedades importantes del transistor MOS de compuerta flotante, así como un análisis teórico de su funcionamiento para caracterizar su comportamiento. Para ello, se presenta el proceso de acoplamiento capacitivo para analizar el comportamiento del transistor para modificar su carga en la compuerta flotante. Así también, se analizan sus características, entre ellas, la de controlar su voltaje de umbral a través de N voltajes de entrada acoplados capacitivamente a la compuerta flotante, con el propósito de ajustar y/o sintonizar su carga y poder disminuir problemas tales como desacoplamientos en los transistores, desplazamientos, etc., los cuales pueden ser realmente un reto en el diseño de circuitos aplicados al procesamiento de señales, después de que éstos han sido fabricados.

1.1 Introducción

Debido a las características especiales de los Transistores FGMOS, la aplicación tanto en circuitos analógicos como circuitos digitales ha sido muy amplia desde el primer informe en 1967; la primera aplicación conocida de los transistores FGMOS fue para almacenar datos en EEPROM, EPROM y memorias flash [1,2,3]. Aunque los dispositivos de compuerta flotante, han sido principalmente usados como memorias digitales, recientemente se han estado usando en el diseño de circuitos de aprendizaje en modo analógico.

Hoy en día esta tecnología está presente en muchas aplicaciones. En los últimos 10 años se ha utilizado ampliamente como un elemento de diseño para fines de ajuste, como por ejemplo corrección de errores de offset, linealidad, errores de ganancia y así sucesivamente. Anteriormente esto se hizo mediante técnicas de láser, programación de redes de resistencias o compensación dinámica. Se propuso entonces que el proceso de corrección se llevara a cabo por medio de una corrección continua en la carga acumulada en la compuerta flotante. Por otra parte, los circuitos ajustables por medio de compuertas flotantes pueden ser programados en muchas ocasiones, haciendo de esta una buena técnica, no solo para los objetivos de ajuste, sino también para su aplicación en sistemas adaptativo, ya sea en redes neuronales o en filtros adaptativos. [2,1]

Así también, se está utilizando en diferentes aplicaciones tales como: reducir el voltaje de polarización en circuitos que demanden baja potencia y bajo voltaje, eliminar desacoplamiento entre transistores. [2] De esta manera, los dispositivos de compuerta flotante, permiten tener un mayor grado de libertad con respecto a los transistores MOSFETS normales.

Asimismo, con base a sus propiedades, estos dispositivos presentan características importantes que pueden ser utilizadas cuando se determinan las ventajas y/o desventajas en el diseño de circuitos de aplicación, [2] estas son:

Capítulo 1. El Transistor MOS de Compuerta Flotante

El símbolo de un transistor FGMOS de canal n y de N entradas es mostrado en la Fig. 1.2. El patrón geométrico de un transistor FGMOS de canal N de tres entradas es mostrado en la Fig. 1.1, en donde se puede observar cómo el transistor FG, fabricado utiliza una capa de electrodo (poly1) en la compuerta, extendiéndose por fuera del área activa del transistor CMOS. La FG es rodeada por dos capas de aislante de SiO₂, las cuales están eléctricamente aisladas del resto del dispositivo.

Las entradas del dispositivo se colocan en la parte superior de la capa superior aislada del SiO₂ y se fabrican utilizando otra capa de conducción; preferiblemente una segunda capa de polisilicio (Poly2). Los tamaños de los electodos en la entrada (Fig. 1.1) determinan los valores de los capacitores que se conectan al transistor FGMOS con la FG y que pueden ser variados de acuerdo a la necesidad del diseñador.[1]

Los valores de las capacitancias de entrada están dadas por:

$$C_i = \left(\frac{\epsilon_{SiO_2}}{t_{SiO_2}} \right) A_i \quad (1.1)$$

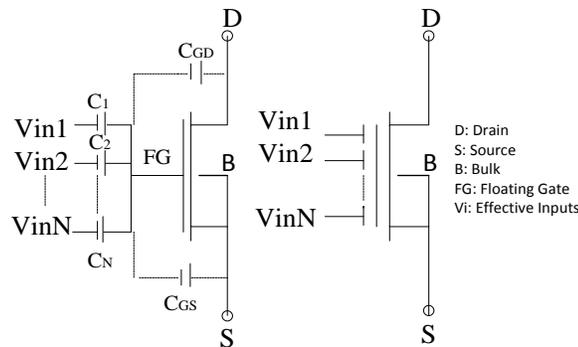


Fig. 1.2 Símbolo de un transistor FGMOS de canal N y de N entradas.

Donde ϵ_{SiO_2} es la permeabilidad de el SiO_2 , t_{SiO_2} es el espesor de el SiO_2 entre la FG y las entradas efectivas; y A_i es el área de cada capacitor de entrada.

1.3 Comportamiento a señal grande

Las ecuaciones que modelan el funcionamiento del transistor FGMOS se pueden derivar, a partir de las ecuaciones de un transistor CMOS.

Los parámetros de entrada que determinan la corriente de drenaje a fuente en un transistor MOS son los voltajes entre las terminales: compuerta a fuente (V_{GS}), drenaje a fuente (V_{DS}) y fuente a bulk (V_{SB}). La relación entre estos voltajes y corrientes son estudiados a fondo por varios investigadores y son expresados matemáticamente usando un número de ecuaciones que se modelan en [3] y [4]. En el caso de los transistores FGMOS, los parámetros externos que determinan estas corrientes de drenaje a fuente son los voltajes de entrada efectivos, así como los voltajes de drenaje y fuente, todos ellos referidos al sustrato. Si es posible determinar el voltaje en el FG de un transistor FGMOS, es entonces posible expresar la corriente de drenaje a fuente utilizando los modelos estándar del transistor MOS. Por lo tanto, con el fin de obtener un conjunto de ecuaciones que modelen el funcionamiento a señal grande de un dispositivo FGMOS, es necesario encontrar la relación entre los voltajes de entrada efectivos (V_i) y el voltaje en la FG. Esto se puede hacer con la ayuda del circuito equivalente mostrado en la Fig. 1.2.

Una característica principal del transistor FGMOS es el conjunto de capacitores en su entrada, denotado por C_i donde $i = [1, N]$, entre las entradas efectivas y la FG. Las capacitancias parasitas, C_{GD} y C_{GS} , representadas mediante líneas punteadas, son las mismas que se presentan en un transistor MOS fabricados con la misma tecnología y la misma área activa. La relación entre la corriente de drenaje a fuente en DC y el voltaje FG, V_{FG} , de un FGMOS no es afectada por las capacitancias parasitas.

En resumen, las ecuaciones del modelo estático, del comportamiento a señal grande de un transistor FGMOS pueden ser obtenidas mediante la combinación de un modelo MOS estándar para la misma tecnología con la ecuación que relaciona V_{FG} con $V_i, V_D, V_S, C_i, C_{GD}, C_{GS}$ y C_{GB} . Estas ecuaciones pueden ser obtenidas aplicando la ley de conservación de carga en el nodo flotante (FG) mostrado en la

Fig. 1.2. Si existe una resistencia infinita entre la FG y todas las capas que lo rodean, no habrá fugas de corriente entre ellos, y así, la FG estaría perfectamente aislada. Bajo esta suposición el voltaje en la FG está dado por:

$$\begin{aligned}
 V_{FG} &= \sum_{i=1}^N \frac{C_i}{C_T} V_i + \frac{C_{GS}}{C_T} V_S + \frac{C_{GD}}{C_T} V_D + \frac{Q_{FG}}{C_T} \\
 &= \sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} + V_S \quad (1.2)
 \end{aligned}$$

Donde N es el número de entradas efectivas. El término Q_{FG} es la cantidad de carga atrapada en la FG durante la fabricación. Como este término es constante, este puede ser interpretado como un voltaje de offset en la FG, o alternativamente, como un offset en el voltaje de umbral del transistor.

El término C_T se refiere a la suma total de la capacitancias vistas por la FG y está dado por

$$C_T = C_{GD} + C_{GS} + C_{GB} + \sum_{i=1}^N C_i \quad (1.3)$$

Así entonces, de (1.3) se deduce que el voltaje de la FG es directamente proporcional a la carga almacenada en ésta, y que el voltaje de compuerta está en función de los voltajes de entrada acoplados capacitivamente. De esta manera, el voltaje de compuerta estará en función de la carga almacenada en ella. Modificando esta carga, el voltaje en la compuerta flotante V_{FG} cambiará y por lo tanto, la corriente a través del transistor también cambiará en relación a la ponderación que se realice en sus entradas. Las señales de entrada acopladas a la entrada del transistor, pueden definirse mediante la siguiente expresión:

La carga neta Q_{FG} en la compuerta flotante puede ser calculada a través de la siguiente expresión:

$$Q_{FG} = \phi_{FG} \sum_{i=0}^N C_i - \sum_{i=0}^N C_i V_i \quad (1.4)$$

Para la obtención de (1.4), se asume que durante la operación del dispositivo no existe cambio en el valor de la carga en la FG. En la Figura 1.3, se muestra el resultado de modificar la carga en la compuerta flotante. Como se puede observar, se puede disminuir o incrementar el voltaje de umbral del transistor.

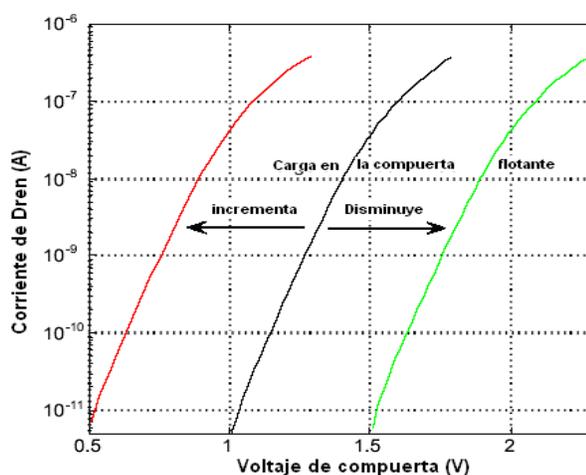


Fig. 1.3 Efecto de modificar la carga en la compuerta flotante [2].

Las expresiones que determinan el comportamiento del transistor FGMOS en las diferentes regiones de operación son [1,2]:

Inversión débil:

$$I_D = I_S \text{EXP} \left[\left(\sum_{i=1}^N \frac{C_i V_{iS}}{C_T n U_T} \right) \right] \text{EXP} \left(\frac{C_{GD} V_{DS}}{C_T n U_T} \right) \text{EXP} \left(\frac{Q_{FG}}{n U_T C_T} \right) \quad (1.5)$$

Para

$$\sum_{i=0}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{Q_{FG}}{C_T} < V_T$$

$$V_{DS} > 4U_T, \quad V_{BS} = 0$$

Región Óhmica:

$$I_D = \mu_0 C_{OX} \frac{W}{L} \left\{ \left[\left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} \right) - \left(V_T - \frac{C_{GB}}{C_T} V_{BS} - \frac{Q_{FG}}{C_T} \right) \right] - \left(\frac{1}{2} - \frac{C_{GD}}{C_T} \right) V_{DS} \right\} \quad (1.6)$$

Para

$$0 < V_{DS} \leq \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{SB} + \frac{Q_{FG}}{C_T} \right) - V_T$$

$$V_{GS} > V_T$$

Región de Saturación:

$$\begin{aligned} I_D &= \frac{\mu_0 C_{OX} W}{2 L} \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} - V_T \right)^2 \\ &= \frac{\beta}{2} \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} - V_T \right)^2 \end{aligned} \quad (1.7)$$

$$0 < \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} - V_T \right) \leq V_{DS}$$

$$V_{GS} > V_T$$

Ahora, se analizará brevemente la respuesta a pequeña señal del transistor de compuerta flotante con el propósito de entender y conocer el comportamiento del dispositivo cuando se tienen en sus entradas señales determinísticas y/o no-determinísticas.

1.4 Comportamiento a Pequeña Señal

Una vez más, al igual que con el transistor MOS convencional, también se pueden derivar las ecuaciones que modelan el comportamiento a pequeña señal del dispositivo. De esta manera, un transistor FGMOS contiene $N - 1$ más terminales que un transistor convencional. Por lo tanto, se pueden definir $N + 2$ parámetros a

pequeña señal que se aplican desde este punto de vista, los cuales son: N transconductancias efectivas de entrada (g_{mi}), una conductancia de salida g_{ds} y una transconductancia de substrato g_{mb} . Si g_m , g_{ds} y g_{mb} representan a la transconductancia de compuerta, la conductancia de salida y la transconductancia del substrato de un transistor MOS teniendo idéntico tamaño de canal, de corriente y voltaje V_{DS} en el transistor MOS, entonces, los parámetros a pequeña señal para un transistor FGMOS, pueden ser definidos como:

$$g_{mi} = \frac{C_i}{C_T} g_m \quad \text{para } i = [1, N] \quad (1.3)$$

$$g_{dsF} = g_{ds} + \frac{C_{GD}}{C_T} g_m \quad (1.4)$$

$$g_{mbF} = g_{mb} + \frac{C_{GB}}{C_T} g_m \quad (1.5)$$

Con estas expresiones podemos identificar dos desventajas del transistor FGMOS, comparado con el MOS estándar, una es la reducción de la transconductancia de entrada y la otra, la reducción de la resistencia de salida.

1.5 Simulación del transistor FGMOS

El primer problema que se tiene que resolver cuando el transistor FGMOS se utiliza a través del acoplamiento capacitivo, es elegir un modelo adecuado de simulación, debido a que los simuladores no pueden interpretar el nodo de compuerta flotante y presentan un error que no permite obtener los resultados de simulación.

El modelo utilizado, es el propuesto por T. Ochiai y H. Hatano expuesto en la tesis Doctoral de Dr. Jesús de la Cruz Alejo [2]; este, calcula el potencial de la compuerta flotante usando resistencias, fuentes de voltaje y de corrientes dependientes de voltajes este modelo se observa en el anexo 1.

Capítulo 1. El Transistor MOS de Compuerta Flotante

La Fig. 1.4, muestra el modelo que permite realizar la simulación del potencial de la FG de un transistor FGMOS. Donde G_i es una fuente de corriente controlada por voltaje, $G_i = V_i$ ($i = 1, 2, \dots, n$), V_i son los voltajes de entrada que se colocan en la FG, E es una fuente polinomial de voltaje controlado por voltaje la cual está dado por $E = \sum_{i=1}^n R_i V_i$. De donde R_i es el valor proporcional del coeficiente de acoplamiento capacitivo C_i entre la compuerta flotante y cada una de las compuertas de entrada. H es una fuente de voltaje controlada por corriente. R_{TOT} es obtenido de $C_{TOT} = \sum_{i=0}^n C_i$. C_o es el coeficiente de acoplamiento capacitivo entre la compuerta flotante y el sustrato. H está dado por $H = \sum_{i=1}^n R_i V_i / R_{TOT}$. El potencial de FG es $\varphi_{FG} = \sum_{i=1}^n C_i V_i / C_{TOT}$ el cual puede ser obtenido de H .

Este modelo no solamente permite simular las características de CD de un transistor de FG, sino también, permite realizar análisis transitorios de señales[2], ver tiempos de retardo, obtener formas de onda de salida y consumo de potencia del dispositivo, mediante la herramienta de simulación Pspice®.

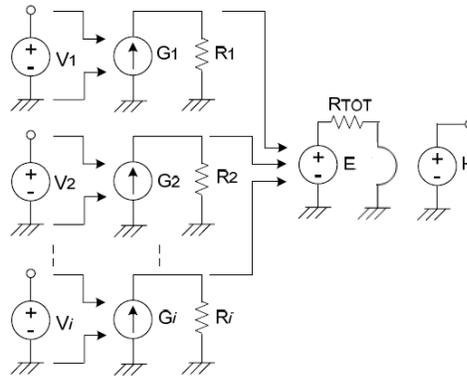


Fig. 1.4 Modelo para simulación del potencial de la compuerta Flotante de un transistor.

1.6 Conclusiones del Capítulo 1

En este capítulo, se ha presentado el análisis del comportamiento del transistor de compuerta flotante, sus principales características y propiedades en términos de la carga en la compuerta flotante. Así también, las definiciones y ecuaciones que se aplican para modificar la carga en la compuerta flotante mediante acoplamiento capacitivo para controlar su voltaje de umbral. Finalmente, se presenta el modelo de simulación que se utilizó en las simulaciones del capítulo 4.

Capítulo 2

Modulación Sigma Delta

En este capítulo, se describen las características y propiedades más importantes de la Modulación Sigma Delta, así como un análisis teórico de su funcionamiento para determinar su comportamiento. Los moduladores Sigma-Delta de tiempo continuo constituyen una técnica de conversión de señal analógica a señal digital interesante para aplicaciones de alta resolución. Comparado con otras alternativas, son especialmente insensibles a las imperfecciones del circuito y a las tolerancias de los componentes, aunque tradicionalmente se han diseñado para aplicaciones de baja-media velocidad.

2.1 Introducción

El primer antecesor de lo que se conoce como modulador Sigma-Delta ($\Sigma\Delta$ de aquí en adelante), fue patentado por C. C. Cutler en 1960. Consistía en un codificador de señal sobremuestreada, que utilizaba un cuantizador de 1 bit. Posteriormente, en 1962, H. Inose e Y. Yasuda, publicaron un convertidor A/D que denominaron modulador Delta-Sigma, ya que combinaba los principios de la modulación Delta, ya conocida, con un integrador. Actualmente se emplean indistintamente ambos nombres (Delta-Sigma o Sigma-Delta). A pesar de ello, hasta mediados de los años 80 no empezaron a desarrollarse y utilizarse ampliamente. La publicación de J. C. Candy en 1985 de un modulador $\Sigma\Delta$ de segundo orden constituyó el punto de inflexión. Desde entonces hasta ahora diferentes investigadores y empresas han trabajado en numerosas implementaciones de moduladores Sigma-Delta. [5,6,7,10,]

2.2 Tasa de Nyquist para los convertidores Analógicos a Digitales

Un ADC tiene a su entrada una señal no lineal, de un proceso no reversible, ya que un número infinito de valores de la amplitud de entrada se asignan a un número finito de valores de la amplitud de salida. Las amplitudes de la salida cuantizada están representadas por un código digital que se compone de un número finito de bits. Dependiendo de la aplicación, este número de bits puede ser una representación de baja resolución de sólo 4 bits o una representación de alta resolución con más de 16 bits. Las operaciones básicas involucradas en la conversión A/D se muestra en la Fig. 2.1. [5-8]

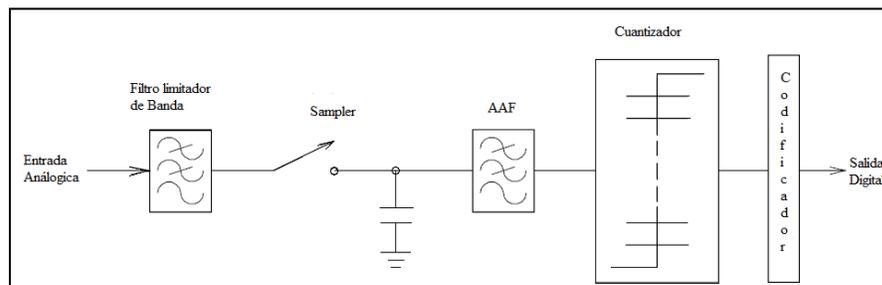


Fig. 2.1 Operaciones Básicas de una conversión A/D.

La señal de entrada analógica, $X(t)$, en primer lugar se encuentra con un Filtro "anti-alias" (AAF), que elimina los componentes de la señal por encima de la mitad de la tasa de muestreo de la toma de muestras posteriores. Este filtro es necesario porque según el teorema de muestreo de Nyquist [7], los componentes de alta frecuencia de $X(t)$ con alias en la banda de paso en el muestreo, causan una distorsión que no puede ser filtrada o incluso distinguirse de la señal original. Después del AAF, la señal de banda limitada, $X_a(t)$, es la muestra que se obtiene de la señal en tiempo discreto, $X(t) = X_a(NTS)$, que todavía es continua en amplitud. La señal analógica muestreada es entonces discretizada en magnitud por el cuantificador que esta antes de ser codificada la señal de salida de datos, $Y(n)$. [5, 6,7]

2.2.1 Sampling

El teorema de muestreo de Nyquist (Sampling Nyquist) establece un número mínimo de muestras, esta señal limitada en banda tiene que estar contenida en el dominio del tiempo, si es que no hay pérdida de información o distorsión de alias al recuperar la señal muestreada. De acuerdo a esto, $X(t)$ debe ser muestreada a una frecuencia superior a dos veces la frecuencia de corte de la banda base, f_b , la cual es definida como la frecuencia de corte del filtro antialias como se muestra en la Fig. 2.2, en el dominio de la frecuencia, el espectro de la señal muestreada, $x_s(t)$, es [8-10]

$$X_s(f) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} X_a(f - kf_s) \quad (2.1)$$

Si la frecuencia de muestreo, f_s , es superior o ligeramente superior que la tasa de Nyquist, $2 * f_b$, entonces se dice que es un convertidor de Nyquist. Sin embargo, el muestreo de la tasa puede ser deliberadamente elegido para superar la tasa de Nyquist con el fin de aprovechar los beneficios de sobremuestreo, que se describirá más adelante en este capítulo. En este caso, el convertidor se conoce como un convertidor de sobremuestreo. Cuando la banda de paso se extiende desde DC a f_b , la relación de sobremuestreo, (OSR), se define como $OSR = f_s / (2 * f_b)$, con $OSR = 1$

para un convertidor de Nyquist. Estos dos tipos de muestreo se muestran en la Fig. 2.2. [6-8]

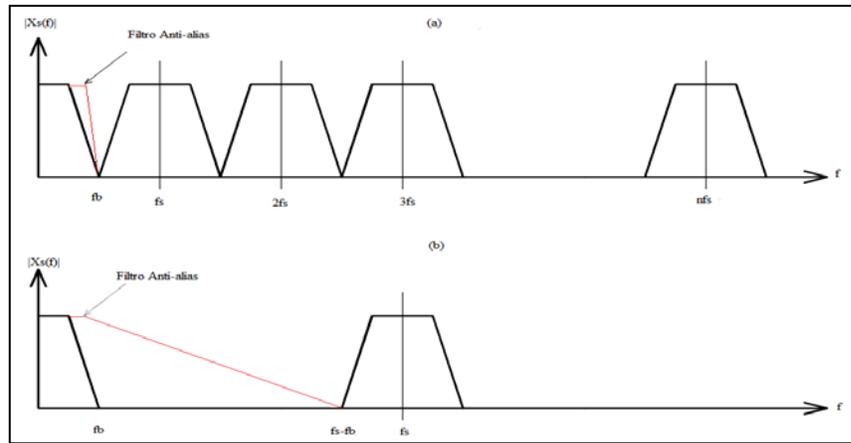


Fig. 2.2 Espectro de una señal de banda limitada (a) muestreo de Nyquist (b) sobremuestreo.

2.2.2 Cuantificación

En principio, el proceso del sobremuestreo no da lugar a ninguna pérdida en la información, ya que después de definirse el requerimiento de la tasa de muestreo, la cual, debe ser igual o mayor que la de Nyquist. Sin embargo esto no es verdad para la cuantificación de la señal muestreada, ya que, en esta operación irreversible un rango continuo de amplitudes se asigna a un conjunto finito de los códigos de salida digital. La función característica de un cuantificador uniforme de ganancia unitaria se muestra en la Fig. 2.3(a) y el error de cuantificación en forma de diente de sierra se muestra en la Fig. 2.3 (b). Una unidad de ganancia, del cuantificador uniforme de N bits tiene 2^N niveles de cuantificación, y el tamaño de paso, Δ , se encuentra entre los niveles de cuantificación cuando V_{REF} es la entrada completa y el rango de salida del cuantificador.

$$\Delta = \frac{V_{REF}}{2^N - 1} \quad (2.2)$$

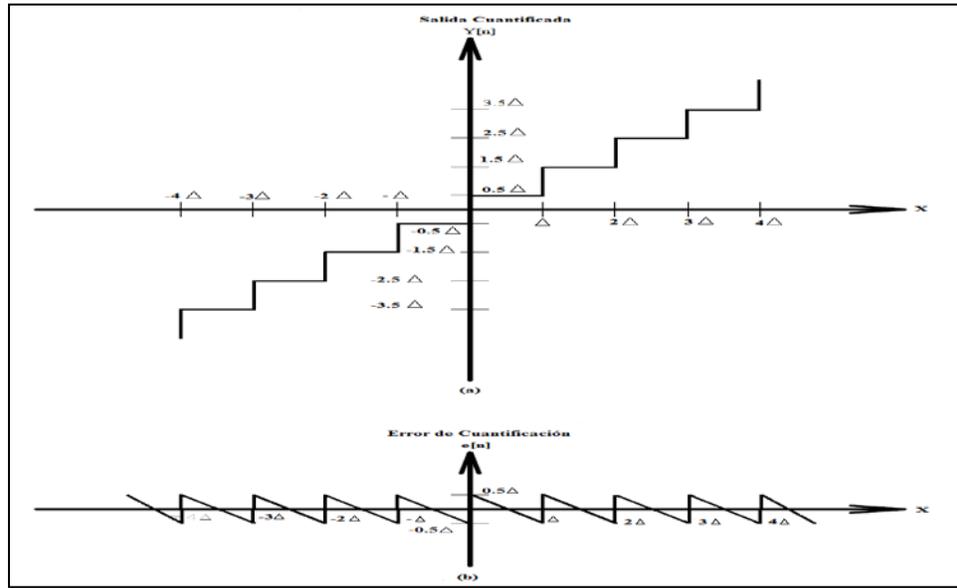


Fig. 2.3 Cuantificación (a) Función de transferencia de un cuantificador Uniforme
(b) Error de cuantificación de un cuantificador uniforme.

De donde Δ es el tamaño de paso de cuantización, V_{REF} es la entrada completa y el rango de salida del cuantificador y N es el número de bits del cuantificador. La salida del cuantificador puede ser escrita como la suma de las señales de entrada, $x[n]$, con el error de cuantificación, $e[n]$, que es el resultado de una operación no lineal, $q\{\cdot\}$, en $x[n]$:

$$y[n] = x[n] + e[n] = x[n] + q\{x[n]\} \quad (2.3)$$

Analizando el efecto del error de cuantificación usando esta no linealidad, el modelo de la señal dependiente puede hacer que la ecuación sea irrealizable. El análisis puede ser simplificado si el ruido de cuantificación no lineal es una fuente de ruido blanco aditivo y el estudio es llevado a cabo usando métodos estadísticos. Esta representación estadística del error de cuantificación está basada en las siguientes consideraciones: [7,10,20]

1. La secuencia de error $e[n]$ es una muestra de un proceso aleatorio estacionario.
2. La secuencia de error es no correlacionada con la secuencia de entrada $x[n]$.

3. Las variables aleatorias del proceso de cuantificación son no correlacionadas. Esto significa que la cuantificación es un proceso de ruido blanco.
4. La probabilidad de la distribución del proceso de error es uniforme.

Después de la hipótesis dada, el error de cuantificación, $e[n]$, tiene una función de densidad de probabilidad con una forma rectangular, como se muestra en la Fig. 2.4. Con esto, el cuantificador puede ser sustituido por el modelo lineal estocástico mostrado en la Fig. 2.5. De esta manera $e[n]$ tiene una potencia o varianza dada por:

$$\sigma_e^2 = \int e^2 PE(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.4)$$

Este valor nos permite calcular la relación señal a ruido de cuantificación ($SQNR$) de un ADC de N bits, que se define como la razón de la potencia de la señal de entrada, denotada por σ_x^2 , y la varianza del ruido de cuantificación, denotado como σ_e^2 , la señal de entrada es sinusoidal de amplitud A cuya potencia es $\frac{A^2}{2}$. De la ecuación (2.2) y de un número de bits denotado por N , se tiene: $\Delta \approx \frac{V_{REF}}{2^N}$; por lo tanto:

$$\begin{aligned} SQNR &= 10 \log \left(\frac{\sigma_x^2}{\sigma_e^2} \right) = 10 \left(2N \log 2 + \log 6 + \log \frac{A^2}{V_{REF}^2} \right) \\ &= 6.02N + 7.7 + 10 \log \frac{A^2}{V_{REF}^2} \end{aligned} \quad (2.5)$$

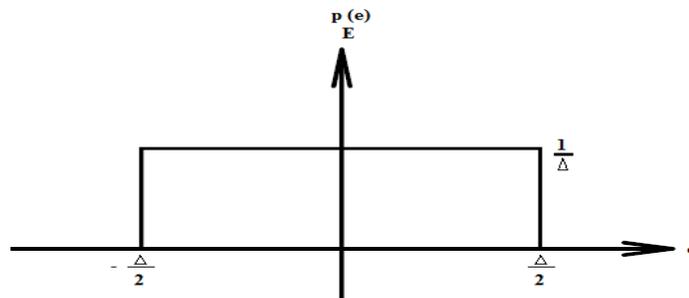


Fig. 2.4 Función densidad de Probabilidad de $e[n]$.

El rango dinámico (DR) de un DAC, es definido como la relación entre la potencia de señal de entrada a escala completa con la potencia de un nivel de la señal de entrada que produce la razón señal a ruido. Dado que el cuantificador de N bits tiene 2^N niveles de cuantificación, una entrada Sinusoidal a escala completa en el cuantificador tiene una amplitud de $2^{N-1}\Delta$ y una correspondiente potencia de señal de $2^{2N-3}\Delta^2$. Si el ruido del ADC es determinado primeramente por el ruido del cuantificador, el DR es igual a:

$$DR = 10\log\left(\frac{\sigma_x^2}{e_e^2}\right) = 10\log\left(\frac{2^{2N-3}\Delta^2}{\frac{\Delta^2}{12}}\right) = 6.02 * N + 1.76db \quad (2.6)$$

Por otro lado, si la resolución de un ADC es limitada por el ruido de cuantificación, entonces el SQNR y el DR incrementan aproximadamente 6db la resolución. En implementaciones prácticas, las señales pequeñas pueden ser limitadas por el ruido del circuito o el ruido térmico en vez del ruido de cuantificación. Sin embargo, en muchos casos, el DR es definido similarmente con los límites bajos establecidos por los niveles de una señal de entrada que produce la relación señal a ruido.

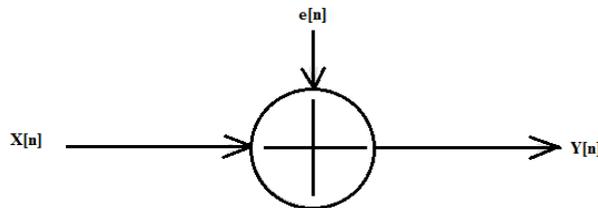


Fig. 2.5 Linealización y Modelo de un cuantificador.

2.3 Sobremuestreo de un Convertidor Análogo a Digital

Al explotar la velocidad de la tecnología VLSI, a menudo es posible muestrear la señal de entrada a una tasa mucho mayor que la tasa de Nyquist. El sobremuestreo ofrece la ventaja inmediata de relajar la exigencia de una banda de transición fuerte en el AAF, como se ilustra en la Fig. 2.2 (b). Un convertidor analógico-digital (ADC)

es un circuito electrónico que transforma una señal continua en el tiempo y en la amplitud (señal analógica), en otra señal, discreta en el tiempo, cuya amplitud está cuantificada y codificada, generalmente, mediante un código binario de N bits. Este proceso se realiza fundamentalmente a través de dos operaciones: muestreo y cuantización.

El muestreo consiste en tomar datos de la señal de entrada y mantenerlos durante un cierto periodo de tiempo. Debido al número finito de niveles de cuantización, este proceso (cuantización), genera errores, por eso, la resolución del convertidor puede mejorar si se incrementa el número de niveles de cuantización.

Por todo esto, la frecuencia de muestreo y el número de bits de precisión en amplitud, determinan el funcionamiento del convertidor. La frecuencia de muestreo limita el ancho de banda de la señal de entrada, mientras que la discretización en amplitud provoca el llamado ruido de cuantización. De esta forma, el comportamiento del ADC está determinado por su frecuencia de muestreo (velocidad del ADC) y el número de bits de precisión en amplitud (resolución del ADC). Existe un compromiso entre la velocidad y la resolución en los ADC. Si el cuantificador también se incrusta en un bucle de retroalimentación, es posible aumentar significativamente la resolución de un convertidor a más allá de lo que puede lograrse simplemente mediante sobremuestreo. Es importante señalar que el proceso de cuantificación en un convertidor de sobremuestreo empleando retroalimentación es fundamentalmente diferente a la de un convertidor de Nyquist. No es necesario cuantificar la señal en un convertidor de sobremuestreo a la resolución completa del convertidor, ya que cada muestra de la señal de entrada corresponde a la muestra de salida de +1. Por el contrario, en las muestras de filtro digital que sigue el convertidor de sobremuestreo, muchas muestras cuantizadas se procesan para obtener una estimación más precisa de la señal de entrada analógica en un porcentaje inferior. Así, cada muestra de salida depende de una secuencia larga de muestras de la entrada. En muchos casos, la cuantificación de un bit es suficiente en un modulador de sobremuestreo retroalimentado. [10-20]

2.3.1 Sobremuestreo

La resolución de un convertidor de Nyquist puede ser incrementada de una manera directa por el funcionamiento del convertidor a una frecuencia de muestreo superior a la tasa de Nyquist. Como se desarrolló en la Sección 2.2.2, si el error de cuantificación se modela como una fuente de ruido blanco aditivo, la potencia de ruido total, $\frac{\Delta^2}{12}$, se distribuye uniformemente en todo el ancho de banda de muestreo desde $-f_s/2$ a $f_s/2$ con una potencia espectral de densidad N_e de:

$$N_e = \frac{1}{f_s} * \sigma_e^2 \tag{2.7}$$

Cuando la entrada es sobremuestreada, el ancho de banda de la señal se extiende de $-f_b$ a f_b y es únicamente una fracción del ancho de banda muestreada, como se muestra en la Fig. 2.6. Por lo tanto, si la banda de la señal deseada es filtrada idealmente por un filtro digital (H_d), la potencia del ruido en banda en la presencia de un sobremuestreo es:

$$\sigma_e^2 = \int_{-f_b}^{f_b} |H_d(f)|^2 N_e df = \frac{\Delta^2}{12} * \frac{2 * f_b}{f_s} = \frac{\sigma_e^2}{OSR} \tag{2.8}$$

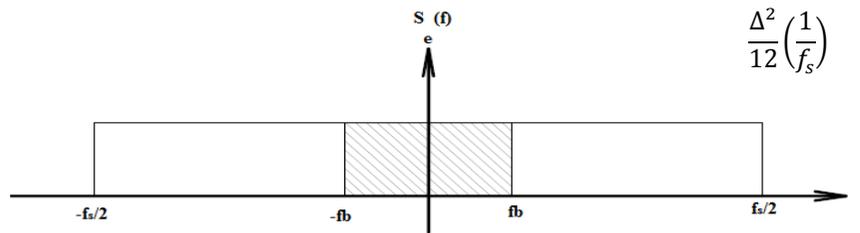


Fig. 2.6 Densidad espectral de potencia de ruido cuantificado cuando la señal de entrada es sobremuestreada.

Por lo tanto, la potencia del ruido de cuantificación, σ_e^2 , es reducido por el factor $1/OSR$, y el máximo alcanzado incrementa el rango dinámico en 3db, o 1/2 bit, por octava de sobremuestreo. Esto es válido para todos los ADC; pero la

reducción del ruido adicional es posible por la formación del ruido de cuantización, que se utiliza en la modulación $\Sigma\Delta$.

2.4 Modulación $\Sigma\Delta$ pasa bajas

2.4.1 Moduladores retroalimentados

La estructura general de un modulador Retroalimentado se ilustra en la Fig. 2.7, que muestra un cuantificador incrustado en un bucle con un DAC en la trayectoria de la retroalimentación. La función de transferencia del filtro en la trayectoria a seguir del modulador se denota por $A(z)$, mientras que el filtro en la trayectoria de retroalimentación tiene la función de transferencia $F(z)$. Si el cuantificador representado en la Fig. 2.7 se sustituye por el modelo lineal de la Fig. 2.5 se obtiene el sistema lineal representado en la Fig. 2.8. Para este último sistema, la salida lineal resultante del modulador retroalimentado se describe en el dominio de z por:

$$Y(z) = \frac{A(z)}{1 + A(z)F(z)} * X(z) + \frac{1}{1 + A(z)F(z)} * E(z) \quad (2.10)$$

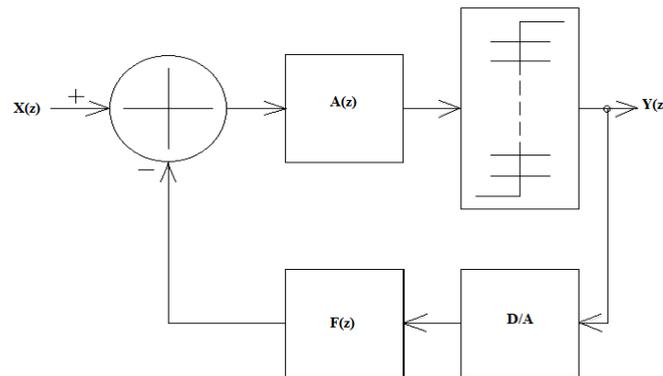


Fig. 2.7 Estructura General de un modulador retroalimentado.

Los moduladores retroalimentados [8] son descritos habitualmente en términos de dos grandes clases basados en las características de la trayectoria directa y retroalimentada de la función de transferencia. En Los moduladores predictivos, el filtro de retroalimentación, $F(z)$, tiene una gran ganancia en la señal de paso de banda

y proporciona una estimación de la señal de entrada, que se resta de la entrada real al modulador, $X(z)$. Si el valor esperado es cercano al valor de la entrada, la entrada del cuantizador será pequeña, lo que permite el uso de un cuantificador con un rango de entrada pequeño. En efecto, un modulador predictivo puede emplear un cuantificador con un tamaño de paso pequeño y un error de cuantificación pequeño. Por el contrario, Los moduladores de conformado de ruido no reducen la magnitud del ruido de cuantificación. En su lugar, una gran ganancia dependiente de la frecuencia en la trayectoria $A(z)$, se utiliza para dar forma espectral al ruido de cuantificación y suprimirlo en la banda de paso de la señal. La mayor parte de la potencia del ruido de cuantificación se mueve en la banda de rechazo la cual se elimina mediante un filtro digital que sigue al modulador. En un modulador predictivo, tanto la señal de entrada como el ruido de cuantificación experimentan una configuración espectral. Este hecho tiene implicaciones importantes en la aplicación práctica de Los moduladores retroalimentados. De (2.8) se observa que la función de transferencia de la señal, (STF (z)), de un modulador de retroalimentación es:

$$STF(z) = \frac{A(z)}{1 + A(z)F(z)} \quad (2.10)$$

Dado que la ganancia pasa banda de la retroalimentación del filtro, $F(z)$, es muy alta en un modulador predictivo, la función de transferencia de la señal es de aproximadamente $1/F(z)$.

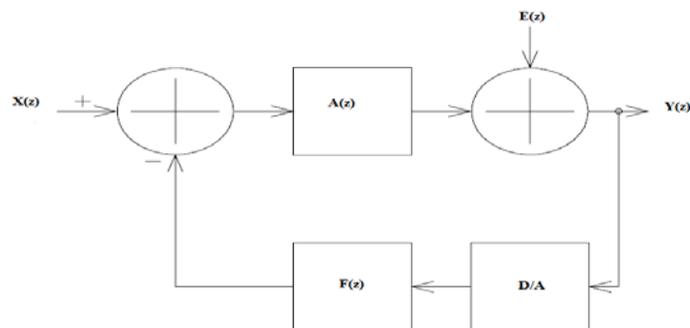


Fig. 2.8 Modelo Lineal de un modulador retroalimentado.

2.4.2 Modulador $\Sigma\Delta$ de primer orden

En topologías con conformado de ruido (noiseshaping), los filtros son diseñados para obtener altas ganancias en la banda de paso en donde el ruido de cuantización está siendo suprimido. De la Fig. 2.8, se sigue que si $F(z)$ es 1, la expresión en el dominio de z para la salida puede escribirse como:

$$Y(z) = \frac{A(z)}{1+A(z)}X(z) + \frac{1}{1+A(z)}E(z) \tag{2.11}$$

Donde $X(z)$ y $E(z)$ son la transformada z de la señal de entrada y el error de cuantificación, respectivamente. Por lo tanto, si el ruido de cuantificación ha sido suprimido en la banda, $A(z)$ debe tener una gran ganancia en DC. Hay muchas funciones de transferencia que satisfacen esta condición y se podría utilizar para implementar un modulador conformado de ruido, pero una clase de funciones de transferencia compuesto por integradores es especialmente adecuado para la implementación VLSI porque los circuitos analógicos necesarios para implementar la función de transferencia son simples y robustos. Una representación en el dominio- z se presenta en un $\Sigma\Delta$ de primer orden como se observa en la Fig. 2.9. El modulador se compone de un nodo de resta, un integrador de tiempo discreto, y un cuantificador de 1 bit.

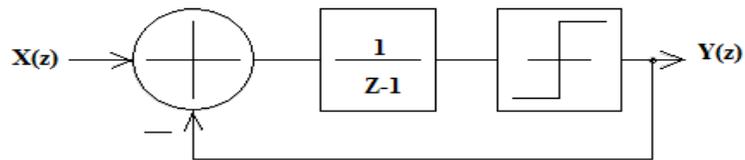


Fig. 2.9 Modulador $\Sigma\Delta$ de primer orden.

El integrador ideal proporciona una ganancia infinita de DC, que, de (2.11), es necesario suprimir el ruido de cuantificación en la banda base. El error de cuantificación se genera por el comparador, el cual puede ser sustituido por el modelo que se presenta en la Fig. 2.5 para el análisis, aunque, como se ha mencionado, los

cuantizadores de un solo bit violan fuertemente las condiciones para el modelo de ruido blanco aditivo, es útil tomar este modelo para una estimación inicial de los parámetros de rendimiento principales del modulador $\Sigma\Delta$, cuando se utiliza como un ADC. Mejoras introducidas en el valor de los datos estimados o la extracción de parámetros de rendimiento tales como el rango dinámico libre de espurios (SFDR), se puede hacer más adelante por medio de simulaciones del comportamiento realizado en el sistema representado en la Fig. 2.9. Después de sustituir la comparación con una fuente de ruido blanco aditivo, la representación de un $\Sigma\Delta$ de primer orden se muestra en la Fig. 2.10, que puede ser tratado como un sistema lineal de dos entradas y una salida.

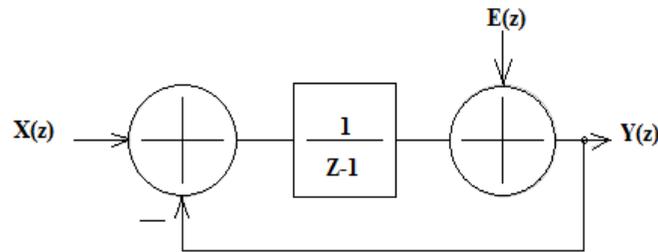


Fig. 2.10 Modelo Lineal de un $\Sigma\Delta$ M.

La salida en el dominio- z del sistema presentado en la Fig. 2.10 es igual a

$$Y(z) = \frac{1}{z}X(z) + \frac{z-1}{z}E(z) = X(z)z^{-1} + E(z)(1-z^{-1}) \quad (2.12)$$

De la última ecuación, la función de transferencia de ruido (*NTF*) se puede identificar como $1 - z^{-1}$ y el *STF* como z^{-1} . La señal sólo se retrasó por un período de reloj. El ruido de cuantificación de densidad espectral de potencia (*Ne*) se forma por la *NTF*, que tiene un cero de transmisión a 1 en un eje normalizado de tiempo discreto de frecuencias, suprimiendo así la potencia de ruido de cuantificación en torno a DC. El ruido de cuantización en la banda de entrada de potencia P_e puede calcularse haciendo $z = \exp(2\pi jf/f_s)$ y después de eso, integrando la densidad espectral de potencia de salida dentro de (f_b): [8-10]

$$\begin{aligned}
 P_e &= \int_{-f_s}^{f_s} |1 - z^{-1}|^2 N_e df \\
 &= \int_{-f_b}^{f_b} |1 - \exp(-2\pi j f / f_s)|^2 \frac{\Delta^2}{12f_s} df \\
 &= \int_{-f_b}^{f_b} (2\sin(\pi f / f_s))^2 \frac{\Delta^2}{12f_s} df
 \end{aligned} \tag{2.13}$$

El ruido de cuantización en la banda de salida es rechazado por un filtro digital pasa bajos ideal que sigue al modulador. Desde $f_b \ll f_s$, la integral puede ser evaluada bajo la aproximación $\sin(x) \approx x$ para producir una potencia de ruido de cuantización dentro de la banda igual a [8-10]

$$P_e = \int_{-f_b}^{f_b} |1 - z^{-1}|^2 N_e df \approx \left(\frac{\pi^2}{3}\right) * \left(\frac{1}{OSR^3}\right) * \frac{\Delta^2}{12} \tag{2.14}$$

De 2.14 y asumiendo que la entrada del modulador es una onda senoidal de amplitud $A \leq \Delta/2$ el SQNR y el DR están dados por:

$$SQNR = \frac{A^2}{2P_e} = \frac{18 * OSR^3 * A^2}{\pi^2 \Delta^2} \tag{2.15}$$

$$DR = \frac{(\Delta/2)^2}{2P_e} = \frac{9 * OSR^2}{2\pi^2} \tag{2.16}$$

Estas relaciones indican que el *OSR* incrementa el rango dinámico y la resolución del modulador $\Sigma\Delta$ de primer orden, en una proporción de 1,5 bits por octava. A pesar de una mejora de 1 bit en *SQNR* y *DR*, que se observa en el modulador $\Sigma\Delta$ de primer orden usando únicamente sobremuestreo, cuando se compara con el desempeño de un ADC normal, el requerimiento de f_s podría ser muy alta para determinadas aplicaciones. Una forma eficiente de reducir el *OSR* necesario para un *SQNR* dado es aumentar el orden del modulador, como se muestra en la siguiente sección.

2.4.3 Modulador $\Sigma\Delta$ de segundo orden

La arquitectura de un modulador $\Sigma\Delta$ de segundo orden se muestra en la Fig.2.11. Como se observa, está compuesto por dos integradores, el primero sin retraso y el segundo con retraso. [5-7]

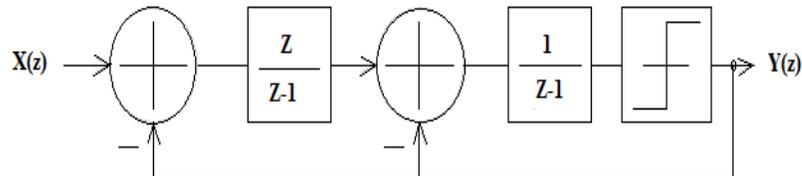


Fig. 2.11 Modulador $\Sigma\Delta$ de segundo orden.

El Análisis de este Modulador puede ser tratado de la misma manera que el de la sección anterior. El cuantificador de un solo bit puede ser sustituido por una fuente de ruido blanco aditivo, como se observa en la Fig. 2.12, para después encontrar una expresión para la salida en el dominio de z . La Realización de estos pasos mencionados conduce a la siguiente ecuación para $Y(z)$:

$$Y(z) = \frac{1}{z}X(z) + \frac{(z-1)^2}{z}E(z) = X(z)z^{-1} + E(z)(1-z^{-1})^2 \quad (2.17)$$

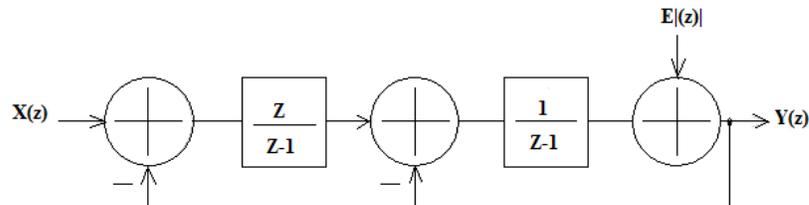


Fig. 2.12 Modulador $\Sigma\Delta$ de segundo orden linealizado.

En este caso el NTF tiene dos ceros de transmisión en DC. La banda de entrada del P_e puede ser encontrada con los mismos procedimientos que se realizaron para el bucle de primer orden:

$$\begin{aligned}
 P_e &= \int_{-f_s}^{f_s} |(1 - z^{-1})^2|^2 N_e df \\
 &= \int_{-f_b}^{f_b} |(1 - \exp(-2\pi j f / f_s))^2|^2 \frac{\Delta^2}{12f_s} df \\
 &= \int_{-f_b}^{f_b} (2\sin(\pi f / f_s))^4 \frac{\Delta^2}{12f_s} df \\
 &\approx \left(\frac{\pi^4}{5}\right) * \left(\frac{1}{OSR^5}\right) * \frac{\Delta^2}{12}
 \end{aligned} \tag{2.18}$$

Similarmente, si la señal de entrada de este modulador es una sinusoidal de amplitud $A \leq \Delta/2$ el $SQNR$ y el DR se encuentran así:

$$SQNR = \frac{A^2}{2P_e} = \frac{30 * OSR^5 * A^2}{\pi^4 \Delta^2} \tag{2.19}$$

$$DR = \frac{(\Delta/2)^2}{2P_e} = \frac{15 * OSR^5}{2\pi^4} \tag{2.20}$$

Las Ecuaciones (2.19) y (2.20) muestran que el modulador $\Sigma\Delta$ con ruido de diferenciación de segundo orden tienen un $SQNR$ y DR incrementado con un radio de 2.5 bit por octava de OSR . En la siguiente sección se presenta el análisis del comportamiento de un Modulador $\Sigma\Delta$ de orden n.

2.4.4 Modulador $\Sigma\Delta$ de orden n

Una arquitectura conceptual de un modulador $\Sigma\Delta$ de orden n que produce un ruido de cuantificación de diferenciación de orden n se presenta en la Fig. 2.13. Aquí, los primeros $n - 1$ integradores no son retrasados y el último integrador si posee retraso. El cuantificador de un solo bit introduce el ruido de cuantización, el cual puede ser sustituido por el modelo lineal de la Fig. 2.5. De esta manera se puede demostrar que la salida de este sistema es igual a:

$$Y(z) = \frac{1}{z}X(z) + \frac{(z-1)^n}{z}E(z) = X(z)z^{-1} + E(z)(1-z^{-1})^n \quad (2.21)$$

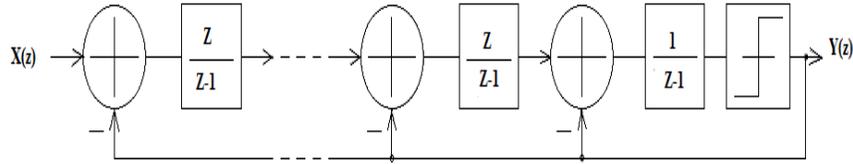


Fig. 2.13 Modulador $\Sigma\Delta$ de orden n.

Usando los mismos procedimientos y aproximaciones; la banda de entrada P_e de un modulador $\Sigma\Delta$ de orden n se encuentra como:

$$\begin{aligned} P_e &= \int_{-f_s}^{f_s} |(1-z^{-1})^n|^2 N_e df \\ &= \int_{-f_b}^{f_b} |(1 - \exp(-2\pi j f / f_s))^n|^2 \frac{\Delta^2}{12f_s} df \\ &= \int_{-f_b}^{f_b} (2\sin(\pi f / f_s))^{2n} \frac{\Delta^2}{12f_s} df \\ &\approx \left(\frac{\pi^{2n}}{2n+1}\right) * \left(\frac{1}{OSR^{2n+1}}\right) * \frac{\Delta^2}{12} \end{aligned} \quad (2.22)$$

Asumiendo las mismas condiciones de la señal de entrada nos llevan a las ecuaciones de SQNR y DR siguientes

$$SQNR = \frac{A^2}{2P_e} = \frac{6 * (2n+1) * OSR^{2n+1} * A^2}{\pi^{2n} \Delta^2} \quad (2.19)$$

$$DR = \frac{(\Delta/2)^2}{2P_e} = \frac{3 * (2n+1) * OSR^{2n+1}}{2\pi^{2n}} \quad (2.20)$$

Es interesante observar como la ganancia de cada NTF incrementa en $\pi rad/seg \frac{f}{f_s} = 1/2$ de acuerdo al aumento de orden del modulador. La salida de la ganancia de banda es el punto de la inestabilidad observada por el orden alto de un modulador $\Sigma\Delta$, el cual usa una función de transferencia de diferenciación pura para el

conformado de ruido (Noiseshaping), cuya arquitectura se basa en la extensión directa del lazo de primer orden que se observa en la Fig. 2.13.

En este trabajo de investigación se diseña un modulador $\Sigma\Delta$ de segundo orden con tecnología VLSI que se detalla en los capítulos siguientes.

2.5 Conclusiones del capítulo 2

En este capítulo se explicó la teoría fundamental del proceso de conversión de analógico a digital. El análisis realizado presenta las características de los convertidores de Nyquist, así como las ventajas que poseen los convertidores que son de sobremuestreo. En esta sección también se trató en detalle, cómo el ruido de cuantificación es parte del proceso de conversión, ya que se filtra en una frecuencia determinada por medio de la modulación sigma-delta. El análisis realizado muestra que la modulación sigma-delta tiene un rendimiento mucho mejor en relación con la característica SFDR de un ADC, siendo este hecho la causa de por qué estos ADC son los que dominan el campo de conversión analógica digital. En el capítulo 3 se analiza la implementación de circuitos que son los bloques del modulador diseñados para demostrar el comportamiento del modulador $\Sigma\Delta$.

Capítulo 3

Diseño y análisis del modulador $\Sigma\Delta$

En este capítulo, se presenta el diseño y análisis de los circuitos utilizados para un modulador $\Sigma\Delta$ en tiempo continuo sobremuestreado, con el propósito de verificar el funcionamiento del modulador. Así mismo, se analiza el comportamiento del transistor de compuerta flotante (FGMOS) el cual se utilizó para el diseño del modulador $\Sigma\Delta$. Estos circuitos son dos integradores y un comparador que serán conectados en serie para el funcionamiento del modulador $\Sigma\Delta$ sobremuestreado.

3.1 Introducción.

Como se explicó en el capítulo anterior, la modulación $\Sigma\Delta$ permite conseguir resoluciones muy altas utilizando circuitos analógicos (integradores, comparadores) que son perfectamente realizables en tecnologías CMOS. La modulación $\Sigma\Delta$ es especialmente adecuada para aplicaciones de media-baja velocidad debido a que el sobremuestreo aumenta, en mayor o menor medida, con respecto a la frecuencia de operación del circuito con respecto a la de la señal a digitalizar. Permite maximizar la resolución optimizando el consumo. En concreto, la arquitectura de segundo orden que se eligió para este trabajo ha demostrado ser muy eficiente desde el punto de vista del consumo para aplicaciones de baja frecuencia [9, 11,12].

Se muestran dos diseños, un integrador y un comparador que forman parte del Modulador $\Sigma\Delta$. El primero es un Integrador $Gm-C$ basado en la operación de transistores FGMOS trabajando en la región de saturación, con el propósito de maximizar el rango de la señal de entrada y que opere con bajo voltaje y baja potencia. Este integrador $Gm-C$ se utiliza dos veces, ya que se conectan entre sí, debido a que el modulador $\Sigma\Delta$ es de segundo orden.

El segundo bloque es un comparador con compensación de offset, que de igual manera opera con transistores FGMOS en la región de saturación, ya que con este diseño se reduce al mínimo requerido la potencia del voltaje de alimentación, incrementa el rango de la señal de entrada y compensa la variación de offset.

voltaje máximo disponible, VDD, con el fin de reducir el voltaje de umbral efectivo de acuerdo a la ecuación (3.1) mostrada a continuación.

$$V_T' = \frac{C_T}{C_i} V_T - \frac{C_{GB}}{C_i} V_{BS} - \sum_{\substack{j=1 \\ j \neq i}}^N \frac{C_j}{C_i} V_{jS} - \frac{Q_{FG}}{C_i} = \frac{C_T}{C_i} V_{TFG} \quad (3.1)$$

De donde V_T' es el parámetro de voltaje de umbral efectivo o aparente, C_T la capacitancia total vista en la compuerta flotante, C_i la capacitancia de entrada, V_T es el voltaje de umbral, C_{GB} es la capacitancia entre la compuerta del transistor y el Bulk, V_{BS} es el voltaje de Bulk a fuente del transistor, N número de entradas, V_{jS} voltajes de entradas adicionales a la compuerta, Q_{FG} carga atrapada en la FG, V_{TFG} voltaje de umbral en la FG. Por lo tanto (3.1), muestra que El parámetro de voltaje de umbral V_T' es controlado eléctricamente cambiando los voltajes en las entradas adicionales (V_{jS} , para $j= [1, N]$ ($j \neq i$)). Esta es una de las mayores ventajas del transistor FGMOS ya que permite la programación de los niveles de señal de forma individual en cada dispositivo de acuerdo con las necesidades del circuito específico. Además, ec. (3.1) muestra que es posible reducir el Voltaje de umbral a cero o incluso invertir su signo.

Considerando que el transistor está en la región de saturación, la corriente de salida (I_{out}) esta dada por

$$I_{out} = I_1 - I_B = I_B - I_2 \quad (3.2)$$

Tomando en cuenta que

$$I_B = \frac{I_1 + I_2}{2} \quad (3.3)$$

Sustituyendo (3.3) en (3.2) I_{out} es igual a

$$I_{out} = \left(\frac{I_1 + I_2}{2} \right) - I_2 = \frac{I_1 + I_2 - 2I_2}{2} = \frac{I_1 - I_2}{2} \quad (3.4)$$

Asumiendo que los transistores M1-M4 están en la región de saturación y usando la ecuación (1.7), la ecuación (3.4) se reescribe en función de los voltajes de entrada:

$$I_{out} = \frac{I_1 - I_2}{2} = \frac{\beta_1 C_{in} C_c (V_{b2} - V_{b1})}{2C_T^2} * (V_{in1} - V_{in2}) \quad (3.5)$$

Donde β_1 es el parámetro de transconductancia β de la entrada del transistor, C_c es la capacitancia conectada a cada V_{b1} o V_{b2} (dependiendo del transistor) y C_{in} es la capacitancia conectada a cada V_{in1} o V_{in2} . La ecuación (3.5) es la función de un convertidor lineal V/I de donde la salida es I_{out} , y la entrada es una señal diferencial ($V_{in1} - V_{in2}$). La transconductancia está dada por:

$$G_m = \frac{\beta_1 C_{in} C_c (V_{b2} - V_{b1})}{2C_T^2} \quad (3.6)$$

G_m puede ser balanceado o sintonizado con los voltajes V_{b1} y V_{b2} , la ecuación (3.6) muestra como los valores de la transconductancias negativas también se pueden obtener si es necesario[17,18]. Las capacitancias de entrada y los valores de los voltajes de bias tienen que ser seleccionadas de acuerdo a la ecuación (1.7) con el propósito de mantener el transistor en la región de saturación.

Una de las ventajas de la topología en la Fig. 3.1 es que la transconductancia es completamente independiente de la señal a modo común o del voltaje de umbral o de la corriente I_B [13]. La ecuación (3.6) es válida cuando los transistores están en la región de saturación y el efecto de segundo orden puede ser despreciado de la ley cuadrática de la corriente.

La funcionalidad del integrador de la Fig. 3.1 está basada en una configuración balanceada por lo cual requiere un CMFB para estabilizar el modo común. La estructura a utilizar del CMFB se muestra en la Fig. 3.3 (su análisis se realiza en la sección 3.2.2) donde se observa que la salida de este (V_{outcm}) es retroalimentada a los transistores M1-M4 y M9-M10 respectivamente [13].

Por lo tanto el análisis de la ganancia de DC está en función del V_{outcm} . El circuito equivalente a pequeña señal de una de las ramas del circuito de la Fig. 3.1 se muestra en la Fig. 3.2, el circuito equivalente se muestra para una sola rama, debido a que son simétricas, y si se hace la resta la ganancia del circuito es cero.

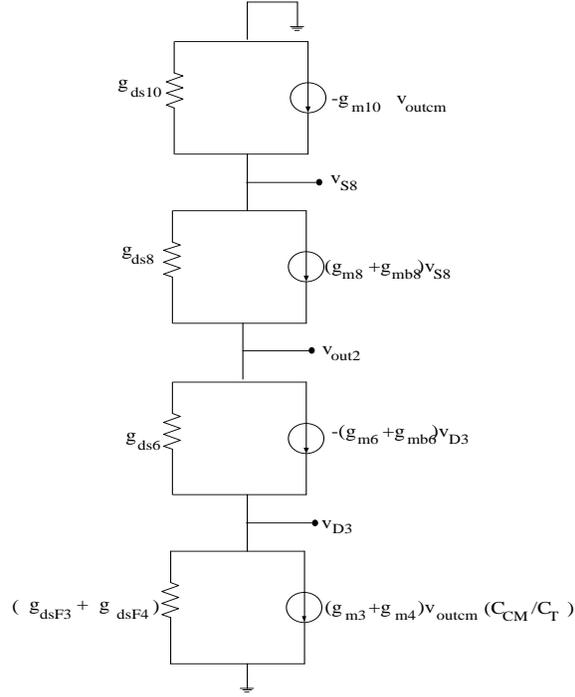


Fig. 3.2 Circuito equivalente a pequeña señal de una sola rama

Para obtener la función de transferencia del circuito de la Fig. 3.2 se tiene:

$$\frac{v_{out2}}{v_{outcm}} = \left[\frac{1 + (g_{m3} + g_{m4})(C_{CM}/C_T)(g_{dsF3} + g_{dsF4})}{g_{dsF3} + g_{dsF4}} \right] * \left[\frac{1 - (g_{mb} + g_{mb6})g_{ds6}}{g_{ds6}} \right] + \left[\frac{[1 - (g_{m10})(g_{ds10})][1 + (g_{m8} + g_{mb8})]g_{ds8}}{g_{ds10}g_{ds8}} \right] \quad (3.7)$$

$$= \left[\frac{[1 + (g_{m3} + g_{m4})(C_{CM}/C_T)(g_{dsF3} + g_{dsF4})] * [1 - (g_{mb} + g_{mb6})g_{ds6}]}{(g_{dsF3} + g_{dsF4})(g_{ds6})} \right] + \left[\frac{[1 - (g_{m10})(g_{ds10})][1 + (g_{m8} + g_{mb8})]g_{ds8}}{g_{ds10}g_{ds8}} \right] \quad (3.8)$$

Resolviendo y tomando en cuenta las siguientes consideraciones ($g_{m6} + g_{mb6}$) \gg ($g_{ds6} + g_{dsF3} + g_{dsF4}$); ($g_{m8} + g_{mb8}$) \gg ($g_{ds8} + g_{ds10}$), donde las g_m y g_{ds} son las conductancias y transconductancias de los transistores que sirven para compensar la ganancia de los transistores, respectivamente. De esta manera, la ecuación 3.8 se puede reescribir como:

$$\frac{V_{out2}}{V_{outcm}} = \frac{[(g_{m3} + g_{m4})(C_{CM}/C_T) + g_{m10}]}{[(g_{dsF3} + g_{dsF4}) * (g_{ds6})/g_{m6} + g_{mb6}] + [g_{ds8} * g_{ds10}/g_{m8} + g_{mb8}]} \quad (3.9)$$

$$\frac{V_{out2}}{V_{outcm}} = \frac{[(g_{m3} + g_{m4})(C_{CM}/C_T) + g_{m10}]}{G_{outn} + G_{outp}} \quad (3.10)$$

$$\text{Con:} \quad G_{outn} = \frac{(g_{dsF3} + g_{dsF4}) * (g_{ds6})}{g_{m6} + g_{mb6}} \quad (3.11)$$

$$G_{outp} = \frac{g_{ds8} * g_{ds10}}{g_{m8} + g_{mb8}} \quad (3.12)$$

De donde se observa que G_{outn} es la conductancia de salida de la parte inferior (tipo n) del integrador y G_{outp} es la conductancia de salida de la parte superior (tipo p) del integrador. La ecuación (3.10) muestra como la ganancia es incrementada al aplicar la retroalimentación del bloque CMFB. De esta manera, es posible tener una ganancia baja en el CMFB y la variación de la salida puede ser mantenida lo suficientemente pequeña para no exceder la restricción de la oscilación de salida, que se vuelve muy restrictiva así como también se reduce el valor de la fuente de alimentación. Un aspecto interesante que vale la pena analizar es como esta alimentación podría afectar la respuesta en frecuencia de este integrador. Si la respuesta en frecuencia del CMFB se modela como una función de polo sencilla y se incluye en las ecuaciones a pequeña señal del integrador, para cada rama individual como se muestra en la Fig. 3.2 entonces las ecuaciones diferenciales de cada rama serían:

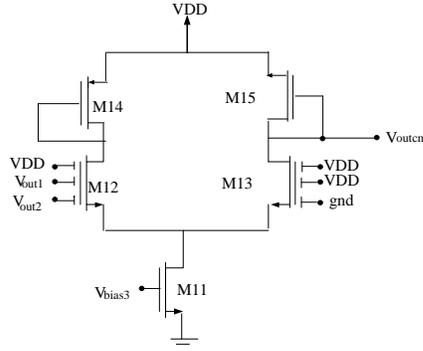


Fig. 3.3 Circuito CMFB

$$sCv_{out2} = -g_{m3}v_{in1} - g_{m4}v_{in2} - \frac{a_{02}}{s+p}(v_{out1} + v_{out2}) - \left(\frac{((g_{dsF3} + g_{dsF4}) * (g_{ds6}))}{g_{m6} + g_{mb6}} + \frac{g_{ds8} * g_{ds10}}{g_{m8} + g_{mb8}} \right) v_{out2} \quad (3.13)$$

$$sCv_{out2} = -g_{m1}v_{in1} - g_{m2}v_{in2} - \frac{a_{01}}{s+p}(v_{out1} + v_{out2}) - \left(\frac{((g_{dsF1} + g_{dsF2}) * (g_{ds5}))}{g_{m5} + g_{mb5}} + \frac{g_{ds7} * g_{ds9}}{g_{m7} + g_{mb7}} \right) v_{out1} \quad (3.14)$$

Con a_{02} y a_{01} iguales a

$$a_{02} = \frac{[(g_{m3} + g_{m4})(C_{CM}/C_T) + g_{m10}]}{[(g_{dsF3} + g_{dsF4}) * (g_{ds6})/g_{m6} + g_{mb6}] + [g_{ds8} * g_{ds10}/g_{m8} + g_{mb8}]} A_0 \cdot p \quad (3.15)$$

$$a_{01} = \frac{[(g_{m1} + g_{m2})(C_{CM}/C_T) + g_{m9}]}{[(g_{dsF1} + g_{dsF2}) * (g_{ds5})/g_{m5} + g_{mb5}] + [g_{ds7} * g_{ds9}/g_{m7} + g_{mb7}]} A_0 \cdot p \quad (3.16)$$

Donde A_0 es la ganancia en DC del circuito CMFB y p es la raíz más significativa (polo):

$$A_0 \approx \frac{g_{m12}(C_{in}/2C_T)}{g_{m15}} \quad (3.17)$$

$$p \approx \frac{g_{m15}}{C_{LF}} \quad (3.18)$$

C_{in} es el valor de la capacitancia de entrada conectada a v_{out1} y v_{out2} en el CMFB. C_{LF} es la capacitancia de la carga en la salida del CMFB. Suponiendo que los dispositivos son iguales entonces $a_{01} = a_{02} = a_0$, sumando ambas ecuaciones y tomando en consideración que $g_{m3} = g_{m2}$ y $g_{m4} = g_{m1}$, la ecuación diferencial de modo común de la salida se obtiene:

$$sCv_{outCM} = -(g_{m3} + g_{m1})v_{inCM} - \frac{2a_0}{s + p}v_{outCM} - (G'_{outn} + G'_{outp})v_{outCM} \quad (3.19)$$

Donde G'_{outn} y G'_{outp} son las conductancias de los transistores tipo p y n en ambas ramas respectivamente

$$G'_{outn} = \frac{(g_{dsF3} + g_{dsF4}) * (g_{ds6})}{(g_{m6} + g_{mb6})} + \frac{(g_{dsF1} + g_{dsF2}) * (g_{ds5})}{(g_{m5} + g_{mb5})} \quad (3.20)$$

$$G'_{outp} = \frac{g_{ds8} * g_{ds10}}{(g_{m8} + g_{mb8})} + \frac{g_{ds7} * g_{ds9}}{(g_{m7} + g_{mb7})} \quad (3.21)$$

El denominador de la función de transferencia de modo común tiene la forma:

$$D(s) = s^2C + s[Cp + (G'_{outn} + G'_{outp})] + [2a_0 + (G'_{outn} + G'_{outp})p] \quad (3.22)$$

La función de transferencia de todo el circuito está dada por:

$$\frac{V_{out2}}{V_{outcm}} = \frac{[(g_{m3} + g_{m4})(C_{CM}/C_T) + g_{m10}]}{s^2C + s[Cp + (G'_{outn} + G'_{outp})] + [2a_0 + (G'_{outn} + G'_{outp})p]} \quad (3.23)$$

La función de transferencia a modo común tiene dos polos cuya ubicación en el plano real imaginario dependerá de la relación entre los diferentes parámetros. Si el radicando en la ecuación anterior es positivo entonces el sistema tendrá dos polos negativos, siendo el dominante el de más baja frecuencia.

$$S_1 = \frac{\sqrt{-8Ca_0 - 4Cp(G_{outn} + G_{outp}) + (Cp + G_{outn} + G_{outp})^2} - Cp - G_{outn} - G_{outp}}{2C} \quad (3.24)$$

$$S_2 = \frac{\sqrt{-8Ca_0 - 4Cp(G_{outn} + G_{outp}) + (Cp + G_{outn} + G_{outp})^2} + Cp + G_{outn} + G_{outp}}{2C} \quad (3.25)$$

De otra manera los polos serán complejos conjugados y la respuesta transitoria dependerá de los valores de las partes reales e imaginarios. Esto sucederá cuando: $8a_0C > [(G'_{outn} + G'_{outp}) - Cp]^2$.

3.2.1 Relación de Rechazo a Modo Común (CMRR)

La topología de la Fig. 3.1 es completamente simétrica, es por eso que idealmente la ganancia de modo común a la salida puede ser cero. Sin embargo, en realidad, los efectos de no linealidad como el mismatch, aumentará la ganancia [1]. El circuito equivalente a pequeña señal para el análisis de ganancia en dc de modo común se observa en la Fig. 3.4. Ahora, tomando en cuenta las consideraciones anteriores la ganancia a modo común la podemos analizar de la siguiente manera:

Desarrollando la parte P

$$\begin{aligned} & \left[\frac{1}{g_{ds10}} - 2g_{m10}A_o \right] \left[\frac{1}{g_{ds8}} + g_{m8} + g_{mb8} \right] \\ &= \left[\frac{1 - (2g_{m10}A_o)(g_{ds10})}{g_{ds10}} \right] \left[\frac{1 + (g_{m8} + g_{mb8})(g_{ds8})}{g_{ds8}} \right] \\ &= \left[\frac{[1 - (2g_{m10}A_o)(g_{ds10})][1 + (g_{m8} + g_{mb8})(g_{ds8})]}{g_{ds10}g_{ds8}} \right] \quad (3.26) \end{aligned}$$

Desarrollando la parte N

$$\left[\frac{1}{g_{ds6}} - g_{m6} + g_{mb6} \right]^* \left[\frac{1}{g_{dsF3} + g_{dsF4}} + \left\{ \left[\left(\frac{C_{in}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{in}}{C_T} \right)_4 g_{m4} \right] + 2 \left[\left(\frac{C_{CM}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{CM}}{C_T} \right)_4 g_{m4} \right] A_o \right\} \right] = \left[\frac{1 - (g_{m6} + g_{mb6})(g_{ds6})}{g_{ds6}} \right] \left[\frac{1 + \left\{ \left[\left(\frac{C_{in}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{in}}{C_T} \right)_4 g_{m4} \right] + 2 \left[\left(\frac{C_{CM}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{CM}}{C_T} \right)_4 g_{m4} \right] A_o \right\} (g_{dsF3} + g_{dsF4})}{g_{dsF3} + g_{dsF4}} \right] \quad (3.27)$$

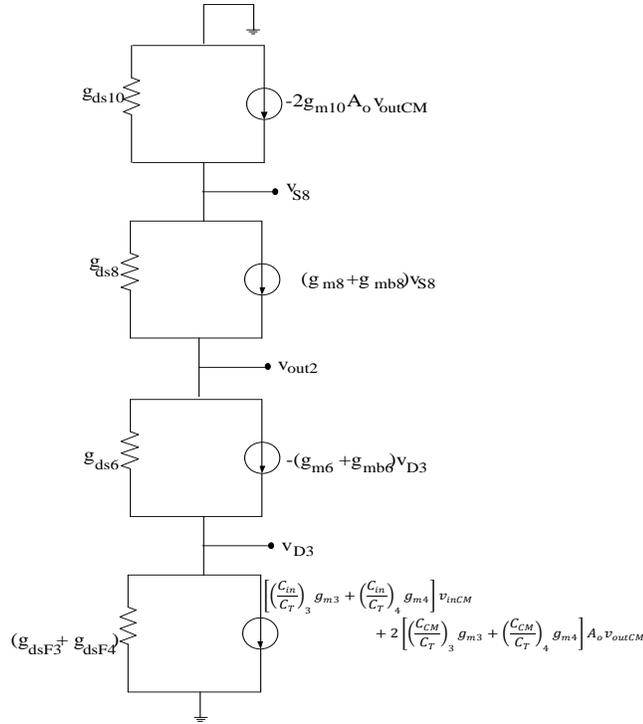


Fig. 3.4 circuito equivalente a pequeña señal para el cálculo de la ganancia de salida de modo común.

Ahora uniendo (3.12) y (3.13) las dos partes, se tiene:

$$\frac{V_{out2}}{V_{inCM}} \Big|_{v_{ind}=0} = \left[\frac{[1 - (2g_{m10}A_o)(g_{ds10})][1 + (g_{m8} + g_{mb8})(g_{ds8})]}{g_{ds10}g_{ds8}} \right]^*$$

$$\left[\frac{1 - (g_{m6} + g_{mb6})(g_{ds6})}{g_{ds6}} \right] \left[\frac{1 + \left\{ \left(\frac{C_{in}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{in}}{C_T} \right)_4 g_{m4} \right\} + 2 \left[\left(\frac{C_{CM}}{C_T} \right)_3 \left(\frac{C_{CM}}{C_T} \right)_4 g_{m4} \right] A_o}{g_{dsF3} + g_{dsF4}} \right] \left\{ (g_{dsF3} + g_{dsF4}) \right\} \quad (3.28)$$

Y tomando en cuenta que $g_{dsf3} + g_{dsf4} \ll g_{m6} + g_{mb6}$, $g_{dsF1} + g_{dsF2} \ll g_{m5} + g_{mb5}$ (igual que ecuación 3.9)

$$\frac{V_{out2}}{V_{inCM}} \Big|_{V_{ind}=0} = - \left[\left(\frac{C_{in}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{in}}{C_T} \right)_4 g_{m4} \right] * \left(2A_o \left[g_{m10} \frac{(g_{dsF3} + g_{dsF4} + g_{m6} + g_{mb6})}{g_{m6} + g_{mb6}} + \left(\frac{C_{CM}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{CM}}{C_T} \right)_4 g_{m4} \right] \right)^{-1} \quad (3.29)$$

El análisis de (3.15) es el análisis de una sola rama como se mencionó anteriormente por lo tanto para hacer más sencillo el análisis del mismatch, las capacitancias se modelan con un parámetro Δ como se muestra a continuación:

$$\left(\frac{C_{in}}{C_T} \right)_1 = \frac{C_{in}}{C_T} \left(\frac{C_{in}}{C_T} \right)_{i=[2,4]} = \frac{C_{in}}{C_T} (1 + \Delta_{1i}) \quad (3.30)$$

$$\left(\frac{C_{CM}}{C_T} \right)_1 = \frac{C_{CM}}{C_T} \left(\frac{C_{CM}}{C_T} \right)_{i=[2,4]} = \frac{C_{CM}}{C_T} (1 + \Delta_{2i}) \quad (3.31)$$

Donde C_{in} es la capacitancia de entrada conectada a la entrada efectiva del integrador FGMOS de la Fig. 3.1, C_T es la capacitancia total vista en la FG, C_{CM} es la capacitancia conectada a la salida del CMFB en la entrada del transconductor, Δ_{1i} de $i = [2,4]$ es el porcentaje de mismatch en la capacitancia C_{in} y Δ_{2i} para $i = [2,4]$ es el porcentaje de mismatch de la capacitancia C_{CM} .

Sustituyendo (3.16) y (3.17) en (3.15) se reescribe como:

$$\frac{V_{out2} - V_{out2}}{V_{inCM}} \Big|_{V_{ind}=0} \approx ([g_{m3}(\Delta_{13} - \Delta_{12}) + g_{m4}\Delta_{14}] \left[g_{m10} + \left(\frac{C_{CM}}{C_T} \right) (g_{m3} + g_{m4}) \right])$$

$$\begin{aligned}
 & + \left(\frac{C_{CM}}{C_T} \right) (g_{m3} + g_{m4}) [g_{m3}(\Delta_{22} - \Delta_{23}) - g_{m4}\Delta_{24}] * \\
 & \left(2A_o \left(\frac{C_T}{C_{in}} \right) \left[g_{m10} + \left(\frac{C_{CM}}{C_T} \right) (g_{m3} + g_{m4}) \right] \right) * \\
 & \left[g_{m10} + \left(\frac{C_{CM}}{C_T} \right) (g_{m3} + g_{m4}) + g_{m3}(\Delta_{23} + \Delta_{22}) + g_{m4}\Delta_{24} \right] \quad (3.32)
 \end{aligned}$$

Como sabemos que $G_m = \left(\frac{C_{in}}{C_T} \right) (g_{m4} - g_{m3})$ y haciendo la suposición de $g_{m10} \approx g_{m3} + g_{m4}$ y tomando un valor constante $K_1 = \left(1 + \frac{G_m C_T}{g_{m3} C_{in}} \right)$, la ecuación de la ganancia de salida diferencial se reescribe así:

$$\begin{aligned}
 \frac{V_{out2} - V_{out1}}{V_{inCM}} \Big|_{V_{ind}=0} & \approx \left([(\Delta_{13} - \Delta_{12}) + K_1\Delta_{14}] \left(1 + \frac{C_{CM}}{C_T} \right) [\Delta_{22} - \Delta_{23} - K_1\Delta_{24}] \right) \\
 * \left(2A \left(\frac{C_T}{C_{in}} \right) \left(1 + \frac{C_{CM}}{C_T} \right) \left[(1 + K_1) \left(1 + \frac{C_{CM}}{C_T} \right) + \frac{C_{CM}}{C_T} (\Delta_{23} + \Delta_{22} + K_1\Delta_{24}) \right] \right)^{-1} \quad (3.33)
 \end{aligned}$$

Por lo tanto la ecuación del CMRR es como expresa a continuación

$$CMRR \approx - \frac{G_m}{G_{outn} + G_{outp}}$$

$$* \frac{A_o(C_T/C_{in})(1 + C_{CM}/C_T)[(1 + C_{CM}/C_T) + (\Delta_{22} + \Delta_{23})(C_{CM}/C_T)]}{(\Delta_{13} + \Delta_{12})(1 + C_{CM}/C_T) + (C_{CM}/C_T)(\Delta_{22} - \Delta_{23})} \quad (3.34)$$

De la ecuación (3.43) se observa que:

1. El rechazo de la señal a modo común aumentara con base a la ganancia del CMFB.
2. El incremento de la relación C_{CM}/C_T también aumentara el CMRR.
3. El valor exacto del CMRR depende del valor de la transconductancia, más específicamente sobre la relación entre estas y la transconductancia del transistor individual, por lo tanto $G_m = \left(-\frac{C_{in}}{C_T} \right) (g_{m3})[1]$.

3.2.2 Circuito de Retroalimentación a Modo Común (CMFB)

Debido a que la ganancia en modo común depende de un circuito CMFB, a continuación se analizará este circuito, cuya estructura y su circuito equivalente a pequeña señal se muestra en la Fig. 3.3. Este Consiste de un par diferencial compuesto por transistores de compuerta flotante *nMOS* y dos transistores *pMOS* conectados en forma de diodos [1]. Asimismo, debido a que la entrada es completamente diferencial, este circuito es necesario para compensar posibles errores o desviaciones que ocurren en el voltaje de modo común en la salida. El par diferencial compuesto por transistores FGMOS, tienen las mismas señales de entrada, las mismas capacitancias de entrada y las mismas capacitancias de acoplamiento.

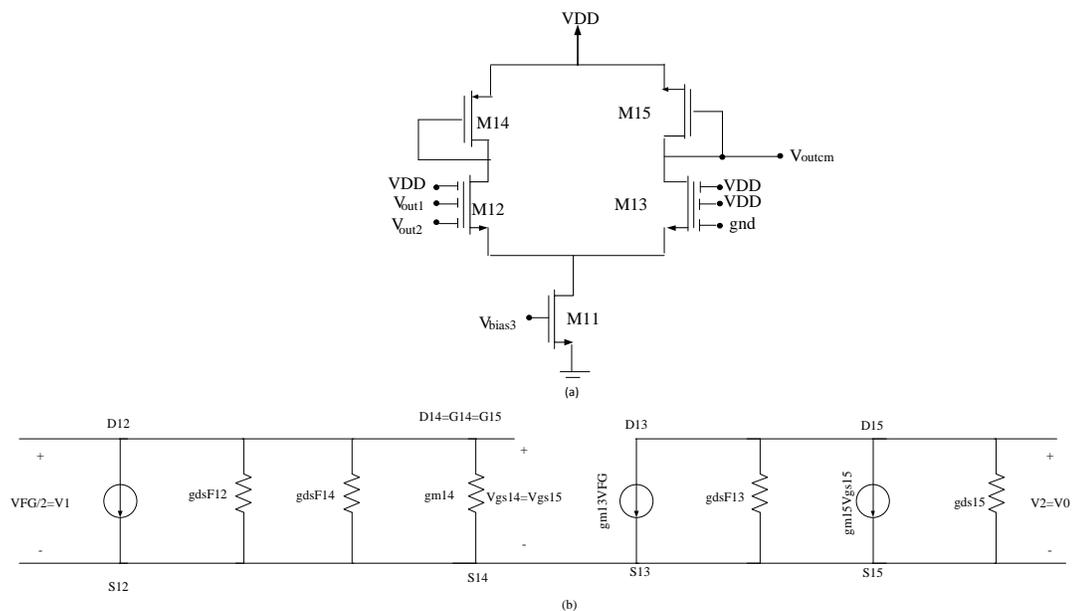


Fig. 3.5 (a) Circuito CMFB. b) Circuito equivalente a pequeña señal.

El CMFB opera de la siguiente manera: El transistor *M12*, trabaja como elemento sensor del valor medio de una señal en modo común, mientras que *M13*, trabaja para establecer un voltaje de referencia, por lo tanto la diferencia (V_{outCM}), es amplificada y retroalimentada hacia ambas ramas del integrador (v_{out1} y v_{out2} ,

dando como resultado una corriente desbalanceada que fluirá en sentido opuesto, forzando al voltaje en modo común moverse hacia el voltaje de referencia.

Entonces la corriente que fluye a través de $M12$, es:

$$I_{DM12} = \frac{\beta C_1^2}{4C_T^2} (v_{outcm} - V_T')^2 \quad (3.35)$$

Donde V_T' es:

$$V_T' = V_T + \frac{C_{VDD}}{C_1} \left(V_T - \frac{V_{DD}}{2} \right) + V_s \quad (3.36)$$

Y la corriente de $M13$ es:

$$I_{DM13} = \frac{\beta C_{VDD}^2}{4C_T^2} \left(\frac{V_{DD}}{2} - V_T' \right)^2 \quad (3.37)$$

Por lo tanto el valor de V_T' con capacitancias de acoplamiento iguales es:

$$V_T' = V_T + \frac{C_{gnd}}{C_{VDD}} (V_T) + V_s \quad (3.38)$$

Utilizando el análisis de parámetros utilizados en [2] y con respecto a la Fig. 3.3 (b), se tiene:

$$Y_1 = 0; \quad V_1 = \frac{V_{FG}}{2}; \quad V_2 = 0 \text{ y } I_1 = 0$$

$$I_2 = -g_{m13}V_{FG} + g_{m15}V_{gs15} + (g_{dsF13} + g_{ds15})V_2 \quad (3.39)$$

Resolviendo para V_{gs15} , se tiene:

$$g_{m12}V_{FG} + (g_{dsF12} + g_{dsF13} + g_{m14})V_{gs15} \quad (3.40)$$

$$V_{gs15} = -\frac{g_{m12}V_{FG}}{g_{dsF12} + g_{dsF13} + g_{m14}} \quad (3.41)$$

Sustituyendo en I_2

$$I_2 = -g_{m13}V_{FG} - \left(\frac{g_{m15}g_{m12}V_{FG}}{g_{dsF12} + g_{dsF13} + g_{m14}} \right) + (g_{dsF13} + g_{ds15})V_2 \quad (3.42)$$

Y asumiendo que $g_{m13} = g_{m12}$, $g_{m14} = g_{m15} \gg g_{dsF12} + g_{dsF13}$ entonces I_2 queda de la forma:

$$I_2 = g_{m12} \left(\frac{C_{in}}{2C_T} \right) + g_{m15} \quad (3.43)$$

Ahora los parámetros de la matriz Y son de la forma

$$Y = \begin{bmatrix} 0 & 0 \\ g_{m12} \left(\frac{C_{in}}{2C_T} \right) & g_{m15} \end{bmatrix} \quad (3.44)$$

Por lo tanto la ganancia en DC del CMFB es:

$$A_{CMFB} = \frac{V_2}{V_1} = \frac{v_{outcm}}{v_{DD}} = \frac{g_{m12} \left(\frac{C_{in}}{2C_T} \right)}{g_{m15}} \quad (3.45)$$

La cual fue aplicada para encontrar la función de transferencia del integrador completo visto en la sección 3.2 de este capítulo.

3.3 Comparador FGMOS con compensación de Offset

En esta sección se muestra como el uso de los transistores FGMOS en el circuito del comparador puede reducir al mínimo la potencia requerida del voltaje de alimentación, incrementar el rango de entrada y compensar la variación de offset [11,12].

La Fig. 3.5 muestra el diagrama del comparador con compensación de offset, que consiste de dos transistores FGMOS de entrada de tipo N (M1 y M2) cuyas cargas están dadas por dos transistores PMOS acoplados transversalmente (M3 y M4)

que actúan como elementos regenerativos del comparador. Cada transistor FGMOS tienen 3 compuertas de entrada, una de ellas representa la entrada efectiva y es conectada a V_{in}^{\pm} (la entrada diferencial esta dada por $V_{ind} = V_{in}^{-} - V_{in}^{+}$). Una segunda entrada conectada al reloj del comparador V_{clk} , esta entrada juega un doble rol: por un lado, cuando una comparación es realizada, el valor alto de la señal de reloj reduce el voltaje de umbral efectivo y por lo tanto, los transistores están en ON, incluso para bajos valores de la señal de entrada [1]. Por el otro lado, los transistores pueden estar apagados cuando la entrada sea baja lo que restablecerá el comparador. El proceso se analiza a continuación.

Para que el transistor opere en la región de saturación, debe satisfacer:

$$V_{in}^{+} > \frac{C_T}{C_{in}} \left(V_{Tn} - \frac{C_{clk}}{C_T} V_{clk} - \frac{C_C}{C_T} V_{off} \right) \longrightarrow \text{Transistor esta encendido} \quad (3.46)$$

$$\text{Se compensa si: } V_{in}^{+} < \frac{C_T}{C_{in}} \left(V_{Tn} - \frac{C_C}{C_T} V_{off} \right) \quad (3.47)$$

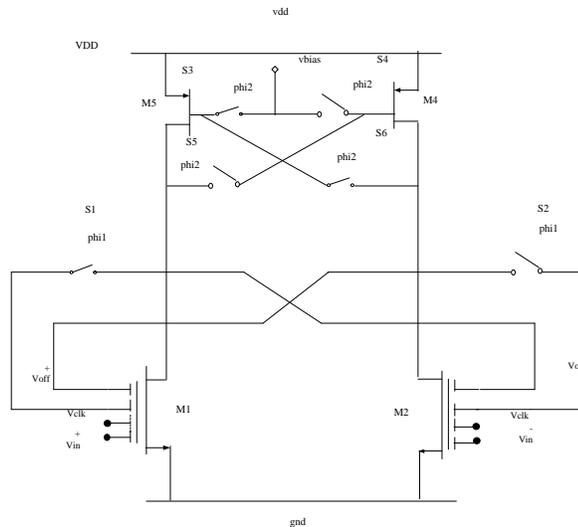


Fig.3.6 Comparador con transistores FGMOS con compensación de offset

Donde C_{in} es el valor de la capacitancia conectada en la entrada efectiva del transistor, C_{clk} es el valor de la capacitancia conectada a la señal de reloj y C_C es el valor de la capacitancia conectada a la señal de compensación de Offset. Por razones

de simplicidad, V_{off} toma el mismo valor para ambas ramas en modo diferencial ($V_{off}^+ = V_{off}^- = V_{off}$), lo cual es cierto en ausencia de compensación [1]. Sin embargo, en realidad se tendrá un valor diferente para cada rama, que en consecuencia dará lugar a dos ecuaciones distintas para (3.21), Así como para la (3.22). Las ecuaciones (3.21) y (3.22) muestran que la elección adecuada de las relaciones de capacitancias permiten a su vez que los transistores de entrada estén en ON para toda la gama de valores de entrada cuando V_{clk} es alto o para apagar y reiniciar el comparador cuando V_{clk} es baja.

3.3.1 compensación de Offset

Las variaciones de los voltajes de umbral de los transistores M_1 y M_2 esta dada por:

$$\Delta V_T = (V_{Tn2} - V_{Tn1}) \quad (3.48)$$

Como la variación en el voltaje de umbral de un transistor MOS, usado para construir un FGMOS es afectado por el término $\frac{C_T}{C_{in}}$ que son las capacitancias de acoplamiento a las entradas del FGMOS, entonces:

$$V_{off\Delta VT} = \frac{C_T}{C_{in}} \Delta V_T = \frac{C_T}{C_{in}} (V_{Tn2} - V_{Tn1}) \quad (3.49)$$

Para un Transistor MOS tipo P en saturación su corriente de drenaje está dada por $I_D = \frac{\beta_P}{2} (V_{SG} - V_{TP})^2$; Luego del circuito de la Fig. 3.2 se observa que $V_{SG} = V_S - V_G = V_{DD} - V_{bias}$ y que $I_D = I_{bias}$ Entonces:

$$I_{bias} = \frac{\beta_P}{2} (V_{DD} - V_{bias} - |V_{TP}|)^2 \quad (3.50)$$

Asumiendo que el voltaje de umbral de ambas entradas del transistor son diferentes y que los voltajes generados en $V_{out}^+ = V_{off}^-$ y $V_{out}^- = V_{off}^+$ cuando

S_1, S_2, S_3 y $S_4 =$ cerrado y si los MOS están en saturación [11], la corriente es expresada de la siguiente manera

$$I_{bias} = \frac{\beta}{2} [(W_{in}V_{in} + W_{CLK}V_{CLK} - V_{THN}) + W_{off}V_{off}^+]^2 \quad (3.51)$$

Despejando la ecuación encontramos que

$$\sqrt{\frac{2I_{bias}}{\beta}} = W_{in}V_{in} + W_{CLK}V_{CLK} - V_{THN} + W_{off}V_{off}^+ \quad (3.52)$$

$$V_{off}^+ = \left(\sqrt{\frac{2I_{bias}}{\beta}} - W_{in}V_{in} - W_{CLK}V_{CLK} + V_{THN} \right) \frac{1}{W_{off}} \quad (3.53)$$

Si $W_{off} = \frac{C_C}{C_T}$, $W_{in} = \frac{C_{in}}{C_T}$, $W_{CLK} = \frac{C_{CLK}}{C_T}$ Por lo tanto se obtiene que

$$\begin{aligned} V_{off}^+ &= \left(\sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_{in}}{C_T}V_{in} - \frac{C_{CLK}}{C_T}V_{CLK} + V_{THN} \right) \frac{C_T}{C_C} \\ &= \left(\frac{C_T}{C_C} * \sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_T}{C_C} * \frac{C_{in}}{C_T}V_{in} - \frac{C_T}{C_C} * \frac{C_{CLK}}{C_T}V_{CLK} + \frac{C_T}{C_C}V_{THN} \right) \end{aligned} \quad (3.54)$$

Simplificando la ecuación se tiene:

$$V_{off}^+ = \frac{C_T}{C_C} \left(V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} \right) - \frac{C_{in}}{C_C}V_{cm} - \frac{C_{CLK}}{C_C}V_{CLK} \quad (3.55)$$

si $V_{in}^+ = V_{cm} = V_{in}^-$ La ecuación (3.51) para V_{off}^- , se obtiene por el mismo procedimiento, en la etapa de comparación

$$V_{off}^- = \frac{C_T}{C_C} \left(V_{THN2} + \sqrt{\frac{2I_{bias}}{\beta_n}} \right) - \frac{C_{in}}{C_C}V_{cm} - \frac{C_{CLK}}{C_C}V_{CLK} \quad (3.56)$$

Si S_1, S_2, S_3 y $S_4 = \text{abiertos}$ y $S_5, S_6 = \text{cerrados}$ de la expresión (3.57) obtenemos que:

$$\frac{C_C}{C_T} V_{off}^+ = V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_{in}}{C_T} V_{cm} - \frac{C_{CLK}}{C_T} V_{CLK} \quad (3.58)$$

Si aplicamos una entrada diferencial a los transistores (V_{in}^+, V_{in}^-) tenemos

$$\frac{C_C}{C_T} V_{off}^+ = V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_{in}}{C_T} (V_{in}^+ - V_{cm}) - \frac{C_{CLK}}{C_T} V_{CLK} \quad (3.59)$$

De donde $\frac{C_T}{C_C} V_{off}^+ = V_{FG}$ por lo tanto la ecuación queda de la siguiente manera

$$V_{FG1} = \frac{C_{in}}{C_T} (V_{in}^+ - V_{cm}) + V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} \quad (3.60)$$

La ecuación (3.35) se obtiene de la misma manera

$$V_{FG2} = \frac{C_{in}}{C_T} (V_{in}^- - V_{cm}) + V_{THN2} + \sqrt{\frac{2I_{bias}}{\beta}} \quad (3.61)$$

3.4 Funcionamiento del circuito del Convertidor Analógico $\Sigma\Delta$ sobremuestreado.

El funcionamiento del circuito propuesto, se realizará para 5 bloques, esto es, 2 Integradores $Gm-C$, para obtener el orden del modulador $\Sigma\Delta$ sobremuestreado, 1 comparador para obtener la cuantización de la señal y 2 DAC retroalimentados a las corrientes diferenciales de los integradores. El circuito esquemático se muestra en la Figura 3.3, en donde los bloques son conectados en serie para obtener la señal deseada del modulador. El procedimiento y simulación se muestra en el capítulo 4 que es el de resultados.

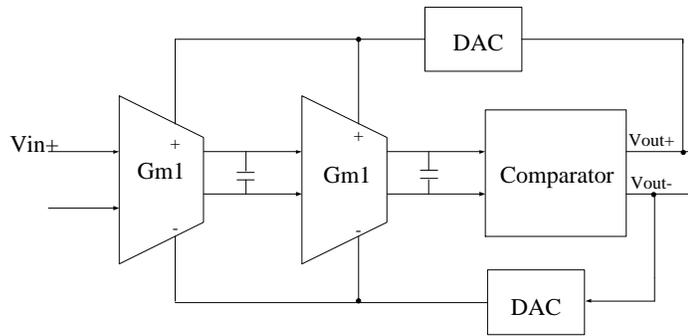


Fig. 3.7 Circuito esquemático del convertidor análogo digital $\Sigma\Delta$ sobremuestreado de segundo orden.

3.5 conclusiones capítulo 3

En este capítulo se presentó el análisis matemático de cada bloque del modulador. Para el circuito $Gm-C$, se describe una forma de realizar una conversión lineal de voltaje a corriente basado en el funcionamiento de un transistor FGMOS en la región de saturación. Con el comparador, se muestra como el uso de los transistores FGMOS en el circuito puede reducir al mínimo la potencia requerida del voltaje de alimentación, incrementar el rango de entrada y compensar la variación de offset.

Estos circuitos son utilizados para el diseño del modulador $\Sigma\Delta$ en tiempo continuo, ya que son perfectamente realizables ya que permiten maximizar el diseño de segundo orden elegido para este trabajo.

Capítulo 4

Análisis de resultados

En este capítulo, se presentan los resultados de simulación de los bloques que integran el Modulador $\Sigma\Delta$ en tiempo continuo en modo diferencial, con el propósito de verificar el funcionamiento con base a los resultados obtenidos teóricamente. Para ello, se muestran las gráficas de entrada y salida de cada uno de los bloques así como sus voltajes correspondientes para determinar la potencia consumida. El Modulador podrá ser utilizado para la conversión analógica a digital de señales a baja frecuencia, El sistema se integra para su realización microelectrónica utilizando integradores Gm-C operando como filtros pasa-bajos, un comparador operando como cuantizador de un bit y, pares diferenciales como convertidores de digital-analógico.

4.1 Introducción

La modulación $\Sigma\Delta$ como se ha explicado en capítulos anteriores, es un tipo de conversión analógica-digital y/o digital-analógica.

En este proyecto de investigación, se diseña un circuito convertidor analógico-digital (ADC) con la técnica de modulación $\Sigma\Delta$, utilizando el transistor de compuerta flotante FGMOS, debido a sus características ya mencionadas, además de su realización microelectrónica de bajo costo, baja potencia y bajo voltaje. Su uso se ha generalizado en los últimos años, gracias al empleo de las tecnologías basadas en silicio.

El Modulador $\Sigma\Delta$ en este caso se diseñó con el propósito de que funcione con bajo voltaje y baja potencia con la ayuda de los transistores FGMOS ya que ayudara a reducir el voltaje de alimentación sin tener que reducir el intervalo del voltaje de entrada. El Modulador está compuesto por 2 integradores, un comparador y un DAC los cuales se modelaron en el capítulo anterior.

El integrador está basado con base a obtener mayor linealidad en el rango de entrada en modo común de un transconductor FGMOS, operando en la región de saturación. El comparador trabaja como un cuantizador de un bit, este, es un bloque importante en el diseño, ya que realiza la cuantización de la señal. Al igual que el integrador se aplican transistores FGMOS para obtener un desempeño óptimo con respecto a los comparadores convencionales.

4.2 Simulaciones

Como se mencionó en el capítulo 1, el primer problema que se tiene que resolver cuando el transistor FGMOS se utiliza a través del acoplamiento capacitivo, es elegir un modelo adecuado de simulación, por lo tanto el modelo utilizado es el expuesto en la tesis del doctor Jesús de la Cruz Alejo [2], este modelo es mostrado con simulación en el programa SPICE en el anexo 1 de esta investigación.

A continuación se muestra el esquemático de un transistor FGMOS de N entradas Fig. 4.1 con el propósito de mostrar un ejemplo de cómo es utilizado el acoplamiento capacitivo. El voltaje de umbral se controla mediante señales externas, a través de compuertas de control, permitiendo de esta manera, desplazar hacia arriba o hacia abajo su valor, la simulación se muestra en la Fig. 4.2, de donde el VDD es de 3V el barrido del voltaje de la compuerta de control es de -4V a 5V los capacitores de acoplamiento a la compuerta don $C1=C2=C3= 600\text{fF}$ y un $C_{\text{total}}= 2.6\text{fF}$, demostrando así el comportamiento del voltaje de umbral del transistor de compuerta flotantes según análisis de ecuaciones características explicadas en el capítulo 1.

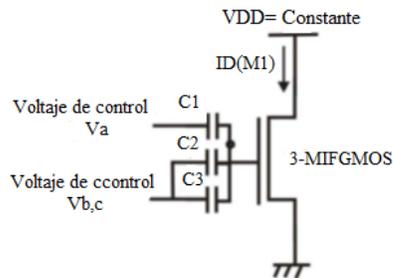


Fig. 4.1 Circuito de un transistor FGMOS.

Capítulo 4. Análisis de Resultados

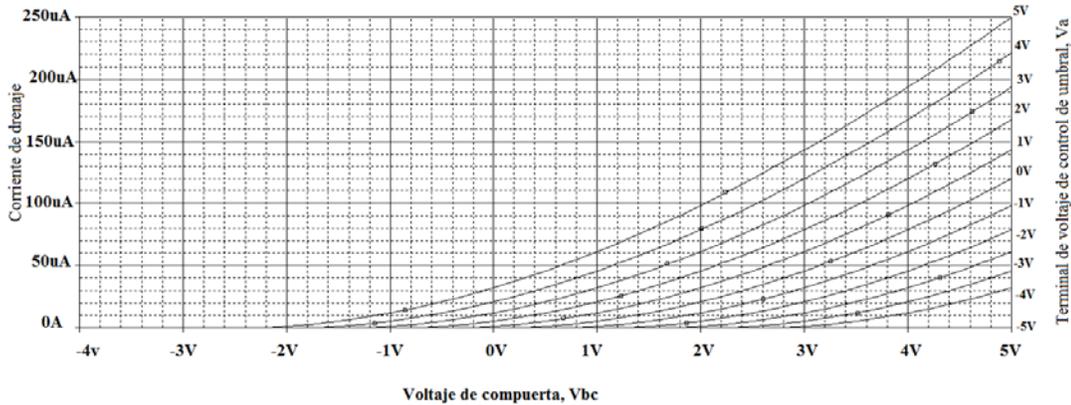


Fig. 4.2 Característica del voltaje de compuerta-corriente de drenador de un transistor de CF de umbral variable, para una tecnología de 0.5 μm .

Los resultados de los diferentes voltajes de umbral de la simulación del transistor FGMOS se observan en la Tabla 4.1 de donde se puede observar la variación de los voltajes de acuerdo al tipo de voltaje de control que en este caso lo denominamos Vb .

Tabla 4.1 valores de voltaje de umbral de Fig. 4.1

Vb	-2	-1	0	1
V_{th}	3.0024v	2.0024v	1.0024v	0.24v

A Continuación se presenta las simulaciones de los bloques de modulador $\Sigma\Delta$.

4.2.1 Simulaciones Integrador G_m -C

El integrador utilizado en el diseño del modulador $\Sigma\Delta$ se ha utilizado en otros trabajos [13, 16, 17, 18] pero como filtros únicamente, en esta investigación se utiliza para la realización del modulador. Con la aplicación de este Integrador G_m -C se obtiene una conversión lineal de voltaje a corriente aplicando transistores de FG. El funcionamiento y modelado matemático se describe en el capítulo 3 los capacitores utilizados en la compuerta son de escala de fF $C_1 = 150\text{fF}$, $C_2 = 250\text{fF}$ y $C_3 = 600\text{fF}$ y con una $C_{TOT} = 1.4\text{fF}$, la señal aplicada a las entradas diferenciales $V_{in}^+ = V_{in}^-$, son del tipo senoidal, con una frecuencia de 1 KHz, un voltaje de modo común de 1 V, y una amplitud de $1mV_{p-p}$.

Capítulo 4. Análisis de Resultados

La Fig. 4.2, muestra el resultado de la simulación del integrador G_m-C , diseñado con tecnología de $0.5 \mu m$ (Anexo 2). V (51) y V (61) representan la entrada de la señal senoidal de $1 m V_{p-p}$, mientras que V (4) y V (5), representan la salida del integrador. Como se puede observar, la salida tiene una ganancia, la cual es necesaria para el óptimo funcionamiento. Para propósitos de visualización, únicamente se muestra una ganancia de 25, pero podemos controlarla con base a los voltajes V_{bias1} y V_{bias2} . La Fig. 4.3, muestra la respuesta en frecuencia, la cual depende del valor de la transconductancia, como se puede observar, el integrador G_m-C , está configurado como filtro pasabajas, que en este caso tiene una frecuencia de corte de 1 KHz, y una ganancia de 48 dB, la cual, se puede aumentar controlando los voltajes V_{bias1} y V_{bias2} . El consumo total del integrador es $2.38 \mu W$. Las características más importantes del modulador G_m-C se muestran en la tabla 1

Tabla 4.2 Características principales del Integrador G_m-C

	Tecnología	Frecuencia de corte	Ganancia	CMFB	V	C_{TOT}	Potencia consumida
G_m-C	CMOS $0.5 \mu m$	1kh	48dB	SI	1V	1.4	$2.38 \mu W$

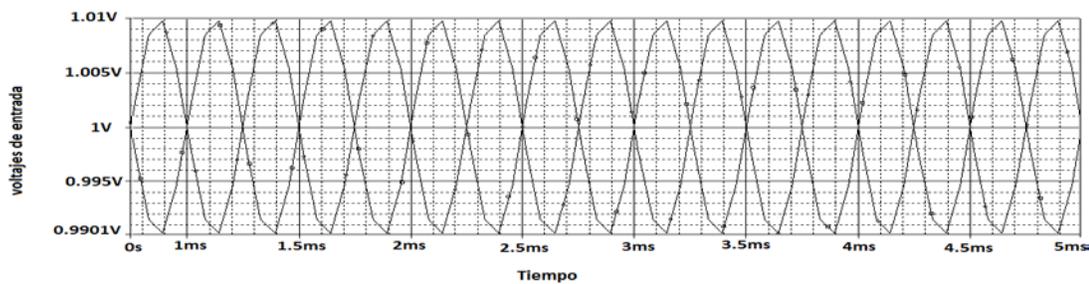


Fig. 4.3 Voltajes de entradas diferenciales del integrador G_m-C

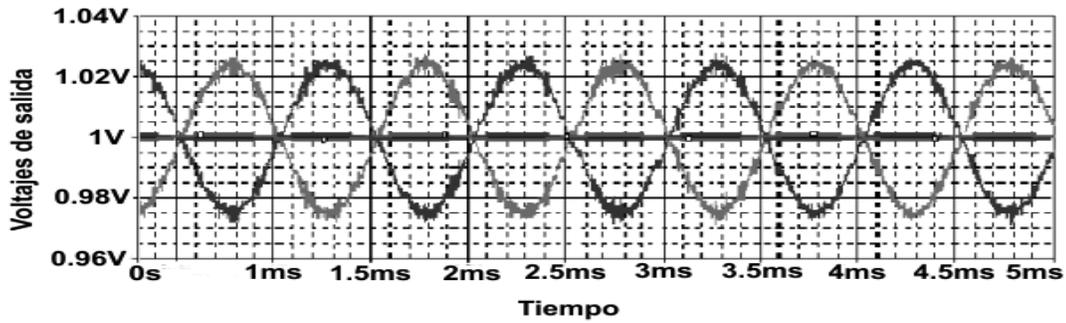


Fig. 4.4 Salidas del integrador G_m-C .

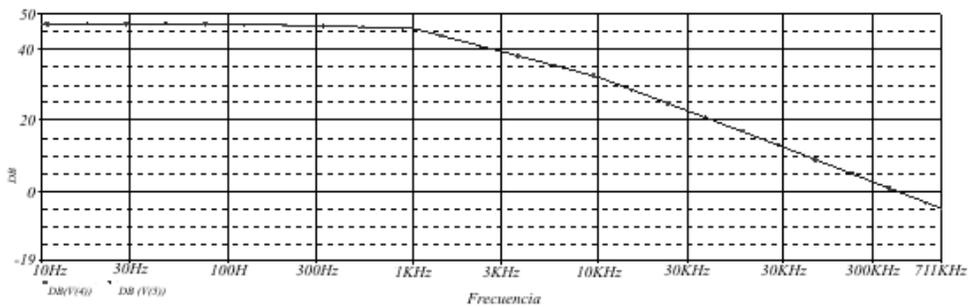


Fig. 4.5 Ganancia del integrador G_m-C .

4.2.2 Simulaciones Comparador

El comparador es un circuito que compara una señal analógica con otra señal analógica o de referencia y emite una señal binaria basada en la comparación de 1 bit análogo-digital, lo que significa que si el voltaje es mayor que la tensión de referencia de comparación se tiene que dar una salida de '1' y si la salida del integrador es menor que la tensión de referencia, la salida del comparador debe ser '0' como se observa en la Fig. 4.5 y Fig. 4.6. En el circuito del comparador se utilizan FGMOS en las etapas de entrada, de donde C1, C2, C3 y C4 son iguales y su valor es de $600fF$ y C_T es de $2.6fF$. Al igual que el integrador su modelado matemático se describe en el capítulo 3, la señal aplicada a las entradas diferenciales $V_{in}^+ = V_{in}^-$.

La Fig. 4.5 y 4.6, muestra el resultado de la simulación del Comparador, diseñado con tecnología de $0.5 \mu m$ (Anexo 2). V (51) y V (61) representan la entrada

Capítulo 4. Análisis de Resultados

de la señal senoidal diferencial, mientras que V (5) y V (6), representan la salida del comparador. Como se puede observar, la salida es en pulsos formada por 1 y 0, la cual es necesaria para funcionamiento del modulador $\Sigma\Delta$. El consumo total de potencia del comparador fue de 2.17E-08 W.

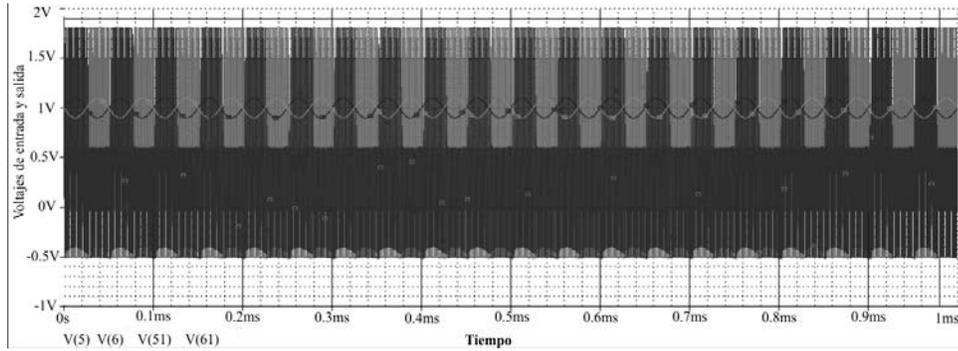


Fig. 4.6 Salida del Comparador.

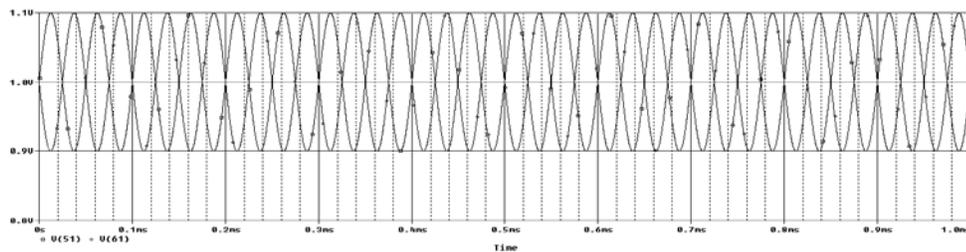


Fig. 4.7 Entrada diferencial V_{in+} y V_{in-} del comparador

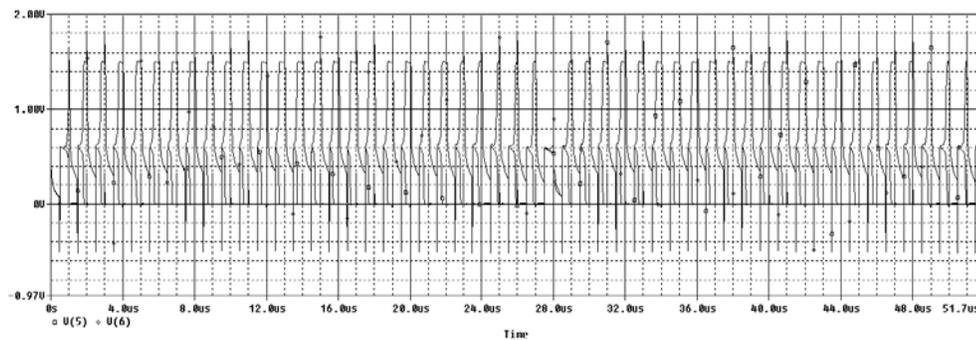


Fig. 4.8 Salida amplificada del comparador

4.2.3 Simulación de todo el sistema del Modulador $\Sigma\Delta$

Los resultados simulados del circuito completo del modulador $\Sigma\Delta$, fueron realizados usando todos los bloques descritos y simulados en las secciones 4.2.1 y 4.2.2, operando a través del acoplamiento capacitivo, el cual, permite realizar la simulación del potencial de la compuerta flotante. La frecuencia de sobremuestreo fue de 640KHz. Las Fig. 4.7 y 4.8 muestran la entrada y salida del modulador $\Sigma\Delta$ que son el V(51) y V(61) los voltajes de entrada al sistema V(4) y V(5) salidas del integrador *Gm-C* y los voltajes V(00441) y V(00443) los voltajes de salida de todo el sistema del modulador $\Sigma\Delta$, el voltaje de entrada diferencial al sistema es un voltaje senoidal de 1mVp-p con una frecuencia de entrada de 1kHz. La Figura 4.8 muestra la señal de salida, que representa la modulación de la señal de entrada. La potencia total consumida de todos los bloques del modulador es de 7.5 μ W.

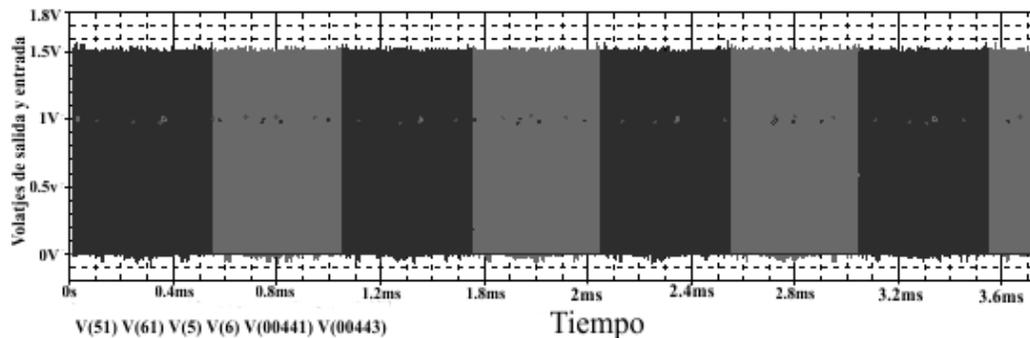


Fig. 4.9 Salida del modulador $\Sigma\Delta$.

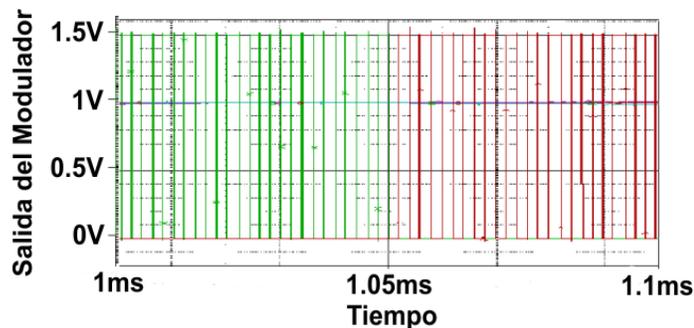


Fig. 4.10 Salida amplificada del modulador $\Sigma\Delta$.

Capítulo 4. Análisis de Resultados

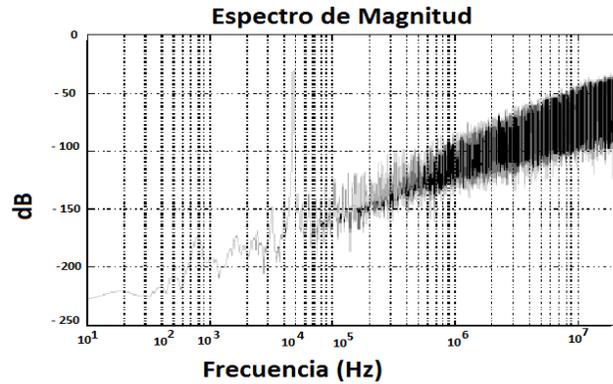


Fig. 4.11 Espectro de Magnitud del Modulador $\Sigma\Delta$.

La Fig. 4.9 muestra el patrón geométrico de todo el sistema del modulador $\Sigma\Delta$, este fue realizado con la herramienta de Mentor Graphics IC studio.



Fig. 4.12 Patrón geométrico del Modulador $\Sigma\Delta$.

La Tabla 4.3 muestra la comparación de este trabajo de investigación con otros trabajos, cabe mencionar que el aporte de esta investigación es el uso de un integrador diferencial **Gm-C** como filtros pasabajas, en los trabajos con que se compara ha sido implementado como filtro pero como filtro bicuadrático

Diseño de un Modulador $\Sigma\Delta$ en tiempo continuo utilizando el transistor de compuerta flotante

Capítulo 4. Análisis de Resultados

lowpass/bandpass de segundo orden en el dominio del tiempo. Y en los trabajos [11] y [12] utilizan un integrador diferente al que se implementa en esta investigación así como también se utilizan la tecnología de 0.35 μm .

Tabla 4.3 Comparación de resultados

diseño	$V_{DD}(V)$	BW(KHz)	OSR(dB)	Potencia (μW)	Tecnología (μm)
[11]	1	2	64	6	0.35
[12]	1	2	64	5	0.35
[13] Filtro	2	100Hz- 10Khz	-	10	0.5
[16] Filtro	1	40	65	2	0.5
[17] Filtro	0.8	28	74	360n	0.35
[18] Filtro	1	40	65	2	0.5
Este Trabajo	1.5	2	64	7.5	0.5

4.3 Conclusiones Capitulo 4

En este capítulo se presentó el sistema completo del Modulador $\Sigma\Delta$ en tiempo continuo en modo diferencial para la conversión analógica a digital de señales de baja frecuencia, cuya característica más importante es que cuenta con técnicas de sobre muestreo con una alta velocidad de procesamiento en tiempo real, sus bloques el integrador *Gm-c* y el comparador son diseñados con la técnica de acoplamiento capacitivo para lograr que todo el sistema trabaje con baja potencia y bajo voltaje, lo cual es la base para el diseño de equipos electrónicos portátiles.

El diseño y desarrollo toma en cuenta técnicas de procesos *CMOS* de 0.5 μm (Anexo 2), para su realización.

Conclusiones Generales

La contribución de este trabajo de investigación, fue la aplicación de un Integrador Gm-C diferencial con compuertas flotantes que muestra un gran rango dinámico y que utiliza un bloque CMFB para compensar posibles errores o desviaciones que ocurren en el voltaje a modo común.

También un comparador conmutado que es recomendado para operar a frecuencias bajas.

El diseño completo del modulador trabaja a frecuencias de 2Khz perfectamente funcional para conversión de señales médicas (Señales cardiacas).

Se logró la operación con bajo voltaje y bajo consumo de potencia demostrando que los transistores FGMOS son elementos de diseño de gran alcance cuando la energía y la tensión de alimentación son las principales limitaciones de diseño.

Trabajo Futuro

Como trabajo futuro se recomienda:

- Realizar simulaciones con inyección y tuneo de electrones que son otras dos técnicas que se utilizan en los transistores FGMOS.
- Investigar nuevas Arquitecturas de integradores y comparadores y aplicarlo al diseño del Modulador $\Sigma\Delta$.
- Implementar otro tipo de tecnología como por ejemplo $0.35\mu\text{m}$, $0.25\ \mu\text{m}$ o $0.18\mu\text{m}$ para reducir el espacio de silicio.
- Realizar la fabricación microelectrónica del modulador $\Sigma\Delta$.

Modelo en Orcad Cadence para transistores de compuerta flotante modo acoplamiento capacitivo.

***** fgmos integrator*****
 *****Voltage bias*****

Vdd 20 0 2.5v
 Vb1 45 0 .8
 Vb2 90 0 0.81
 V32 32 0 0
 V30 30 0 1.5
 Vcasp 6 0 0.2
 Vcasn 3 0 1.5
 Vin1 51 0 sin(1 .01 2000)
 Vin2 61 0 sin(1 -.01 2000)

*****Basic Circuit*****

M1 1 50 0 0 MN W=12u L=12u ;NMOS Floating Gate
 M2 1 60 0 0 MN W=12u L=12u ;NMOS Floating Gate
 M3 2 70 0 0 MN W=12u L=12u ;NMOS Floating Gate
 M4 2 80 0 0 MN W=12u L=12u ;NMOS Floating Gate
 M5 4 3 1 0 MN W=14u L=6u
 M6 5 3 2 0 MN W=14u L=6u
 M7 4 6 7 20 MP W=14u L=17u
 M8 5 6 8 20 MP W=14u L=17u
 M9 7 522 20 20 MP W=14u L=17u
 M10 8 522 20 20 MP W=14u L=17u
 C1 4 5 5pf

*****FGMOS Model*****

G1 0 100 90 0 1
 G2 0 101 522 0 1
 G3 0 102 51 0 1
 R1 100 0 0.1500
 R2 101 0 0.2500
 R3 102 0 0.6000
 E1 110 0 poly(3) 100 0 101 0 102 0 0 1 1 1
 VZ1 110 111 0
 Rtot1 111 0 1.4
 H1 50 0 VZ1 1

Anexo 1

```
G10 0 200 45 0 1
G11 0 201 522 0 1
G12 0 202 61 0 1
R10 200 0 0.1500
R11 201 0 0.2500
R12 202 0 0.6000
E2 210 0 poly(3) 200 0 201 0 202 0 0 1 1 1
VZ2 210 211 0
Rtot2 211 0 1.4
H2 60 0 VZ2 1
```

*****NMOS Model*****

*****FGMOS

Model*****

```
G30 0 300 90 0 1
G31 0 301 522 0 1
G32 0 302 61 0 1
R30 300 0 0.1500
R31 301 0 0.2500
R32 302 0 0.6000
E3 310 0 poly(3) 300 0 301 0 302 0 0 1 1 1
VZ3 310 311 0
Rtot3 311 0 1.4
H3 70 0 VZ3 1
```

```
G40 0 400 45 0 1
G41 0 401 522 0 1
G42 0 402 51 0 1
R40 400 0 0.1500
R41 401 0 0.2500
R42 402 0 0.6000
E4 410 0 poly(3) 400 0 401 0 402 0 0 1 1 1
VZ4 410 411 0
Rtot4 411 0 1.4
H4 80 0 VZ4 1
```

*****NMOS Model*****

* circuito ccmfb

Vbias3 5511 0 1

*****Basic Circuit*****

Anexo 1

* differential pair

```
M200 5521 5557 5551 0 MN W=16u L=14u ;NMOS Floating Gate
M2001 522 5558 5551 0 MN W=16u L=14u ;NMOS Floating Gate
M2002 5551 5511 0 0 MN W=8u L=12u
```

*current mirror

```
M2004 5521 5521 20 20 MP W=18u L=6u
M2005 522 5521 20 20 MP W=18u L=6u
```

*****FGMOS Model*****

```
G5551 0 5560 4 0 1
G5552 0 5561 5 0 1
G5553 0 5562 30 0 1
R5551 5560 0 0.1360
R5552 5561 0 0.1360
R5553 5562 0 0.1360
E60 5010 0 poly(3) 5560 0 5561 0 5562 0 0 1 1 1
VZ60 5010 5011 0
Rtot60 5011 0 .8652
H60 5557 0 VZ60 1
```

* side righ

```
G5554 0 5570 20 0 1
G5555 0 5571 20 0 1
G5556 0 5572 32 0 1
R5554 5570 0 0.1360
R5555 5571 0 0.1360
R5556 5572 0 0.1360
E61 6010 0 poly(3) 5570 0 5571 0 5572 0 0 1 1 1
VZ61 6010 6011 0
Rtot61 6011 0 .8652
H61 5558 0 VZ61 1
```

*****.ends

Modelos de 0.5 μ m tipo N y tipo P de los transistores CMOS

*****NMOS Model*****

```
.MODEL MN NMOS (                LEVEL = 7
+VERSION = 3.1      TNOM  = 27      TOX   = 1.42E-8
+XJ  = 1.5E-7      NCH   = 1.7E17    VTH0  = 0.5974554
+K1   = 0.9398437  K2    = -0.1120602  K3    = 26.790632
+K3B  = -8.9497542  W0    = 1.129584E-8  NLX   = 1E-9
+DVT0W = 0         DVT1W = 0         DVT2W = 0
+DVT0  = 0.7537178  DVT1  = 0.3372918  DVT2  = -0.4998894
+U0   = 449.3659707  UA    = 1E-13      UB    = 1.387457E-18
+UC   = 1.053526E-12  VSAT  = 1.618503E5  A0    = 0.6727779
+AGS  = 0.1270399   B0    = 2.111191E-6  B1    = 5E-6
+KETA  = -6.946031E-4  A1    = 1.62452E-6  A2    = 0.3505695
+RDSW  = 1.005868E3  PRWG  = 0.100056   PRWB  = 0.0296429
+WR   = 1          WINT  = 2.206503E-7  LINT  = 9.22689E-8
+XL   = 1E-7       XW    = 0         DWG   = -6.427643E-9
+DWB  = 4.666298E-8  VOFF  = 0         NFACTOR = 0.6103976
+CIT  = 0          CDSC  = 2.4E-4    CDSCD = 0
+CDSCB = 0         ETA0  = 7.108939E-3  ETAB  = -8.895823E-5
+DSUB  = 0.2015128  PCLM  = 2.8375695  PDIBLC1 = 3.072554E-4
+PDIBLC2 = 2.804908E-3  PDIBLCB = -1.111051E-3  DROUT = 0.0116129
+PSCBE1 = 6.295255E8  PSCBE2 = 1.71681E-4  PVAG  = 0
+DELTA = 0.01      RSH   = 84.4    MOBMOD = 1
+PRT  = 0          UTE   = -1.5    KT1   = -0.11
+KT1L = 0          KT2   = 0.022   UA1   = 4.31E-9
+UB1  = -7.61E-18  UC1   = -5.6E-11  AT    = 3.3E4
+WL   = 0          WLN   = 1      WW    = 0
+WWN  = 1          WWL   = 0      LL    = 0
+LLN  = 1          LW    = 0      LWN   = 1
+LWL  = 0          CAPMOD = 2     XPART = 0.5
+CGDO  = 2.92E-10  CGSO  = 2.92E-10  CGBO  = 1E-9
+CJ    = 4.262863E-4  PB    = 0.9435289  MJ    = 0.445557
+CJSW  = 3.315293E-10  PBSW  = 0.8      MJSW  = 0.2050229
+CJSWG = 1.64E-10   PBSWG  = 0.8      MJSWG = 0.2050229
+CF    = 0          PVTH0 = 0.0744795  PRDSW = 330.3189931
+PK2  = -0.0736498  WKETA = -0.01981  LKETA = -7.470568E-3 )
```

*****PMOS Model*****

```
.MODEL MP PMOS (                LEVEL = 7
+VERSION = 3.1      TNOM  = 27      TOX   = 1.42E-8
+XJ  = 1.5E-7      NCH   = 1.7E17    VTH0  = -0.9152268
+K1   = 0.553472   K2    = 7.871921E-3  K3    = 8.5159118
+K3B  = 1.882525   W0    = 1E-5      NLX   = 1.122129E-7
+DVT0W = 0         DVT1W = 0         DVT2W = 0
```

Anexo 2

+DVT0 = 0.8919374 DVT1 = 0.3084112 DVT2 = -0.1622689
+U0 = 201.3603195 UA = 2.408572E-9 UB = 1E-21
+UC = -1E-10 VSAT = 9.743465E4 A0 = 0.8128126
+AGS = 0.0960178 B0 = 1.400296E-7 B1 = 0
+KETA = -4.865785E-3 A1 = 2.441943E-4 A2 = 0.5732897
+RDSW = 3E3 PRWG = -0.0301566 PRWB = -0.04431
+WR = 1 WINT = 2.81961E-7 LINT = 1.184823E-7
+XL = 1E-7 XW = 0 DWG = -5.849303E-9
+DWB = -3.393472E-9 VOFF = -0.0669406 NFACTOR = 0.9248397
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 2.912512E-4 ETAB = -0.1338923
+DSUB = 0.8258954 PCLM = 2.4587036 PDIBLC1 = 0.0650399
+PDIBLC2 = 3.68666E-3 PDIBLCB = -0.01669 DROUT = 0.2781615
+PSCBE1 = 1E8 PSCBE2 = 3.333972E-9 PVAG = 7.573917E-4
+DELTA = 0.01 RSH = 109.2 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 3.87E-10 CGSO = 3.87E-10 CGBO = 1E-9
+CJ = 7.191563E-4 PB = 0.99 MJ = 0.5001571
+CJSW = 2.661206E-10 PBSW = 0.99 MJSW = 0.4094086
+CJSWG = 6.4E-11 PBSWG = 0.99 MJSWG = 0.4094086
+CF = 0 PVTH0 = 5.98016E-3 PRDSW = 14.8598424
+PK2 = 3.73981E-3 WKETA = 0.0197565 LKETA = -0.0111747)

Nota: De la misma manera es el circuito del comparador por medio de nodos y con la misma tecnología, con el circuito del modulador solo se acoplo todos los bloques.

Trabajos Realizados

1. Dora Inés Reyes Chávez, Jesús de la Cruz-Alejo, Juan Carlos Sánchez García, “Design of $\Sigma\Delta$ Modulators using FGMOS Transistors”, A ser presentado en 2011 8th International Conference on electrical, computing science and automatic control, (CCE 2011), del 26 al 28 de octubre de 2011, Mérida, Yucatán, México.

2. Dora Inés Reyes Chávez, Juan Carlos Sánchez García, “Second order $\Sigma\Delta$ Modulators using FGMOS Transistors”, A ser presentado en IEEE Consejo de Centro América y Panamá (CONCAPAN XXXI), del 09 al 11 de noviembre de 2011, San Salvador, El Salvador.

Design of $\Sigma\Delta$ Modulators Using FGMOS Transistors

Dora Inés Reyes Chávez¹, Jesús de la Cruz Alejo², Juan Carlos Sánchez García¹

¹Section of graduate studies and research, ESIME CUL-IPN, México D.F., México

²Department of Mechatronics, Technological ECATEPEC, Estado de México, Mexico

Phone (+52) 55-56242000 Ext 73250, 73262 Fax (+52) 5556562058 E-mail: doris21jun@hotmail.com,
jusus_ch517@hotmail.com, jcsanche@ipn.mx

Abstract: This paper presents the design of a second order continuous time low power and low voltage oversampling $\Sigma\Delta$ Modulator. This shows inside a comparator and an integrator with FGMOS techniques to facilitate the design and improve its characteristic behavior. The FGMOS transistor is simultaneously used in order to simplify the topology, accurately compensate for gain losses in the integrator and several nonidealities in the comparator; increase the dynamic range; reduce distortion; shift signal levels according to the specific requirements of individual devices; implement an easy common-mode sensing and feedback strategy; and tune the loop filter and reset the comparator. The $\Sigma\Delta$ Modulator operates with 2 kHz of band with 2V and consumes just 7.5 μ W of power. The simulation results are according to theoretical analysis.

Keywords- Floating-Gate MOS (FGMOS), $\Sigma\Delta$ Modulators

I. INTRODUCTION

Nowadays, Low Power (LP) and low voltage (LV) circuits are extensively demanded by the market of portable applications [1]. Due to the demand for smaller and faster products, there is a trend in fabrication processes of smaller transistors. So, it has been worked with the floating gate transistors placing a number of gates or secondary inputs in the floating gate (FG) input which are electrically isolated from the FG [2]. These inputs are capacitive connected in the FG; so it is surrounded by highly resistant material. Then, in terms of DC operation the FG is a floating node and it is searched to control its threshold voltage for N input voltages capacitive coupled, by adjusting its charge and therefore decreasing problems such as: Transistors decoupling, generation of voltages polarization, etc.[6]. It can be a challenge in the circuits design applied to signals processing after these have been manufactured.

On the other hand, recently, the $\Sigma\Delta$ modulators have been the most used; these are of continuous time or discrete time. $\Sigma\Delta$ modulators frequency operate above the Nyquist frequency and they are especially insensitive to circuit imperfections and tolerances of the components; the filtering stage and the feedback loop along with the sampling frequency of the modulator make it to have a higher resolution than the quantifier used; the highest the oversampling ratio the highest the resolution of the modulator. However, the sampling frequency has a technological limit that cannot be overcome on the basis of power consumption; so, to obtain a high-speed modulator it is necessary to reduce the oversampling ratio. [1]

The benefits of conversion oversampling A / D are well known because the order of the converter improves SQNR (Signal to quantization noise ratio) and the DR (dynamic range) values. In this case a continuous time modulator is developed; it is advisable to implement low power and low voltages. This paper is mainly focused on the analysis, modeling, and design of a $\Sigma\Delta$ modulator of second order that exploits the feature of the FGMOS transistors, operating at low frequencies and reducing to the minimum the power supply voltage required and increasing the operating range.

This paper contains: Section II presents details of operation of the FGMOS transistors; Section III describes the $\Sigma\Delta$ Modulators, Section IV presents the results and section V the conclusions.

II. FGMOS TRANSISTOR

This Design is based on FGMOS Transistor which the symbol and equivalent circuit for an n-type FGMOS transistor having N-inputs are shown in Fig. 1. In this technique the transistor is capacitively coupled to the input [3]. The voltage at the floating gate is given by:

$$V_{FG} = \sum_{i=1}^N \frac{C_i}{C_T} V_i + \frac{C_{GS}}{C_T} V_S + \frac{C_{GD}}{C_T} V_D + \frac{Q_{FG}}{C_T} \quad (1)$$

Where C_T , is the total capacitance seen by the floating gate and is given by:

$$C_T = C_{GD} + C_{GS} + C_{GB} + \sum_{i=1}^N C_i$$

Where N is the number of effective inputs; C_i and V_i are the i_{th} input capacitance and voltage, respectively; C_T is the total capacitance seen by the FG; and C_{GD} , C_{GS} , and C_{GB} are the parasitic capacitive couplings between the FG, the drain, source, and bulk, respectively. The term Q_{FG} refers to a certain amount of charge that has been trapped in the FG during fabrication [11].

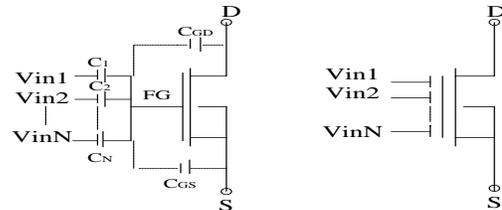


Fig.1. Equivalent circuit and symbol for an N-input n-type FGMOS transistor.

The model for the large signal behavior of the FGMOS is obtained by replacing V_{GS} with the expression describing the voltage between FG and source; this is with the floating gate voltage referring as V_{FG} . Assuming that the FGMOS transistor is operating in the saturating region, the drain current is given by:

$$I_D = \frac{\mu_0 C_{OX} W}{2L} \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} - V_T \right)^2$$

$$= \frac{\beta}{2} \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{iS} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} - V_T \right)^2 \quad (2)$$

V_D, V_S, V_B , are the drain, source, and bulk voltage respectively. The parasitic capacitances are the same given above. According to (2), floating gate voltages are proportional to the stored charge which is proportional to the input voltages capacitively coupled. Thus, modifying the charge on the floating gate through the input voltages. So, the current through the transistor can be modulated. Where the FGMOS Transistor must satisfy:

$$\frac{C_1 V_1 + C_2 V_2 + \dots + C_i V_i}{C_T} > V_T \quad (3)$$

Now, manipulating V_1 , in (3), it is obtained:

$$V_1 > \frac{C_T}{C_1} V_T^* - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_i}{C_1} V_i \quad (4)$$

Then, when an FGMOS transistor with n-inputs is operating with one and this is the only input signal, next inputs can operate as control gates for the Threshold voltage (V_{thres}). So the V_{thres} seen by gate 1, is given by:

$$V_T^{(1)} = \frac{C_T}{C_1} V_T^* - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_i}{C_1} V_i \quad (5)$$

In this way V_{thres} can be modulated or removed using (5).

III. $\Sigma\Delta$ MODULATORS

The architecture of a second order $\Sigma\Delta$ is shown in Fig. 2. It comprises two integrators, the first is a "non-delayed" and the second is a "delayed" integrator [5]. The single bit quantizer can be substituted with an additive white noise source as seen in Fig. 2 and then, finding out an expression for the output in the z-domain. Performing those steps leads to the following expression for $Y(z)$:

$$Y(z) = \frac{1}{z} X(z) + \frac{(z-1)^2}{z} E(z)$$

$$= X(z)z^{-1} + E(z)(1-z^{-1})^2 \quad (6)$$

Where $X(z)$ and $E(z)$ are the z-transforms of the input signal and quantization error, respectively. So, if the quantization noise is to be suppressed in the baseband, it

must have a large DC gain. There are many transfer functions that satisfy this condition and could be used to implement noise shaping modulator [1].

The integrator ideally provides an infinite gain at DC, which, from (6), is necessary to suppress the quantization noise at baseband. The quantization noise is injected by the comparator, although, single bit quantizers violate the assumptions of the additive white noise model [2]. After substituting the comparator by a white noise additive source, the Noise Transfer Function (NTF) can be identified to be $(1-Z^{-1})$ and the Signal Transfer Function (STF) as Z^{-1} [4, 5]. The signal is only delayed by a clock period. The quantization noise power spectral density is shaped by the NTF, which has one transmission zero at 1 in a normalized discrete time frequency axis, suppressing so the quantization noise power around DC[2,5]. The in-band quantization noise power P_e can be calculated by making $Z = \exp(2\pi j f/f_s)$ and, integrating the output power spectral density within (f_b) , next expressions are obtained:

$$P_e = \int_{-f_s}^{f_s} |(1-z^{-1})^2|^2 N_e df$$

$$= \int_{-f_b}^{f_b} \left| (1 - \exp(-2\pi j f/f_s)) \right|^2 \frac{\Delta^2}{12f_s} df$$

$$= \int_{-f_b}^{f_b} (2 \sin(\pi f/f_s))^4 \frac{\Delta^2}{12f_s} df$$

$$P_e \approx \left(\frac{\pi^4}{5} \right) * \left(\frac{1}{OSR^5} \right) * \frac{\Delta^2}{12} \quad (7)$$

Where N_e , is the quantization noise power spectral, Δ is the quantization step size, f is the frequency; f_s is the sampling frequency, f_b is the baseband cutoff frequency, df is the derivative with respect to frequency and OSR is the Oversampling Ratio. From (7) and assuming that the modulator is a sine wave of amplitude $A \leq \Delta/2$ the SQNR and DR are found to be:

$$SQNR = \frac{A^2}{2P_e} = \frac{30 * OSR^5 * A^2}{\pi^4 \Delta^2} \quad (8)$$

$$DR = \frac{(\Delta/2)^2}{2P_e} = \frac{15 * OSR^5}{2\pi^4} \quad (9)$$

In (8) and (9) it is shown that for a second order noise differencing $\Sigma\Delta$ the SQNR and DR increase at a ratio of 2.5 bit per octave of OSR [4]. Next, in A and B it is explained the circuitry of the $\Sigma\Delta$ Modulator.

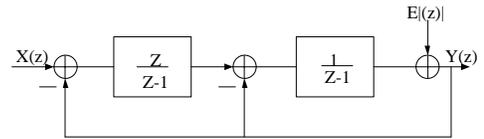


Fig.2. Linearized second order low-pass $\Sigma\Delta$

A. $g_m - C$ FGMOS INTEGRATOR

An $g_m - c$ integrator is shown in Fig. 3, it has a linear conversion from voltage to current applying FGMOS transistors in the saturation region. It works with four transistors ($M1 - M4$) which function as two pairs cross coupling and transistors $M5 - M10$ act as active loads [3, 6, 7]. To analyze I_{out} it is considered:

$$I_{out} = I_1 - I_B = I_B - I_2 \quad (10)$$

Where

$$I_B = \frac{I_1 + I_2}{2} \quad (11)$$

Therefore

$$I_{out} = \frac{I_1 + I_2}{2} - I_2 = \frac{I_1 + I_2 - 2I_2}{2} = \frac{I_1 - I_2}{2} \quad (12)$$

Taking into account the previous analysis, the I_{out} can be expressed by:

$$I_{out} = \frac{\beta_1 C_{in} C_c (V_{b2} - V_{b1})}{2C_T^2} * (V_{in1} - V_{in2}) \quad (13)$$

Where β_1 is the parameter of the transistor, C_c is the capacitance connected to the bias voltage, and the capacitance C_{in} is connected to each input voltage, and C_T is the total of the capacitances seen in the transistor FGMOS. The large signal transconductance refers to one of these differential inputs (i), it is expressed by:

$$G_m = \frac{\beta_1 C_{in} C_c (V_{b2} - V_{b1})}{2C_T^2} \quad (14)$$

The analysis of small signal for a single branch in the integrator of Fig. 4 where the input is the CMFB output V_{outcm} is:

$$\frac{v_{out2}}{V_{outcm}} = \left[\frac{1 + (g_{m3} + g_{m4})(C_{CM}/C_T)}{g_{dsF3} + g_{dsF4}} \right] * \left[\frac{1 - (g_{m6} + g_{mb6})g_{ds6}}{g_{ds6}} \right] \quad (15)$$

Rearranging

$$\frac{v_{out2}}{V_{outcm}} = \left[\frac{1 + (g_{m3} + g_{m4})(C_{CM}/C_T)[1 - (g_{m6} + g_{mb6})g_{ds6}]}{(g_{dsF3} + g_{dsF4})(g_{ds6})} \right] \quad (16)$$

Now, assuming that $(g_{m6} + g_{mb6}) \gg (g_{ds6} + g_{dsF3} + g_{dsF4})$; $(g_{m8} + g_{mb8}) \gg (g_{ds8} + g_{ds10})$ [7] rewriting (16), we have:

$$\frac{V_{out2}}{V_{outcm}} = \frac{[(g_{m3} + g_{m4})(C_{CM}/C_T) + g_{m10}]}{G_{outn} + G_{outp}} \quad (17)$$

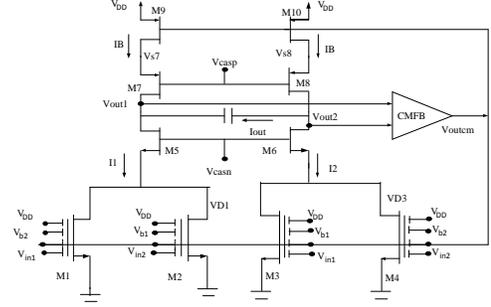


Fig.3. Schematic of $g_m - C$ FGMOS Integrator.

With

$$G_{outn} = \frac{(g_{dsF3} + g_{dsF4}) * (g_{ds6})}{g_{m6} + g_{mb6}} \quad (18)$$

$$G_{outp} = \frac{(g_{ds10} + g_{ds8})}{g_{m8} + g_{mb8}} \quad (19)$$

The small-signal analysis of CMRR is presented below:

$$\frac{V_{out2}}{V_{inCM}} \Big|_{v_{ind}=0} = \left[\frac{[1 - (2g_{m10}A_o)(g_{ds10})][1 + (g_{m8} + g_{mb8})]}{g_{ds10}g_{ds8}} \right] * \left[\frac{1 - (g_{m6} + g_{mb6})(g_{ds6})}{g_{ds6}} \right] * \left[\frac{1 + (B + CA_o)(g_{dsF3} + g_{dsF4})}{g_{dsF3} + g_{dsF4}} \right] \quad (20)$$

Whit

$$B = \left[\left(\frac{C_{in}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{in}}{C_T} \right)_4 g_{m4} \right]$$

$$C = \left[\left(\frac{C_{CM}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{CM}}{C_T} \right)_4 g_{m4} \right]$$

Assuming that $g_{dsf3} + g_{dsf4} \ll g_{m6} + g_{mb6}$, $g_{dsf1} + g_{dsf2} \ll g_{m5} + g_{mb5}$ and substituting in (20), we have:

$$\frac{V_{out2}}{V_{inCM}} \Big|_{v_{ind}=0} = - \left[\left(\frac{C_{in}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{in}}{C_T} \right)_4 g_{m4} \right] * \left(2A_o \left[g_{m10} \frac{(g_{dsF3} + g_{dsF4} + g_{m6} + g_{mb6})}{g_{m6} + g_{mb6}} + \left(\frac{C_{CM}}{C_T} \right)_3 g_{m3} + \left(\frac{C_{CM}}{C_T} \right)_4 g_{m4} \right]^{-1} \right) \quad (21)$$

In (21) it is given the analysis only for a branch of the circuit, since if it is done for all the circuit, the subtraction of both is zero.

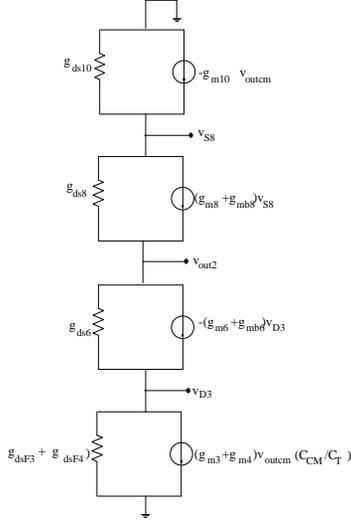


Fig.4. Small signal equivalent circuit.

The capacitances analysis is easier because of the mismatch they are modeled with a Δ parameter, which is shown below:

$$\left(\frac{C_{in}}{C_T}\right)_1 = \frac{C_{in}}{C_T} \quad \left(\frac{C_{in}}{C_T}\right)_{i=[2,4]} = \frac{C_{in}}{C_T} (1 + \Delta_{1i}) \quad (22)$$

$$\left(\frac{C_{CM}}{C_T}\right)_1 = \frac{C_{CM}}{C_T} \quad \left(\frac{C_{CM}}{C_T}\right)_{i=[2,4]} = \frac{C_{CM}}{C_T} (1 + \Delta_{2i}) \quad (23)$$

Where C_{in} is the input capacitance connected to the effective input of the FGMOS integrator in Fig. 3, C_T is the total capacitance seen by the FG, C_{CM} is the capacitance connected to the output of the CMFB in the transconductor input FGMOS Transistor, Δ_{1i} for $i = [2,4]$ is the percentage of mismatch in the capacitance C_{in} and Δ_{2i} for $i = [2,4]$ is the percentage of mismatch in capacitance C_{CM} .

Replacing (22) and (23) in (21) can be rewritten as:

$$\begin{aligned} & \frac{V_{out2} - V_{out2}}{V_{inCM}} \Big|_{V_{ind}=0} \approx \\ & ([g_{m3}(\Delta_{13} - \Delta_{12}) + g_{m4}\Delta_{14}] [g_{m10} + \left(\frac{C_{CM}}{C_T}\right)(g_{m3} + g_{m4})] \\ & + \left(\frac{C_{CM}}{C_T}\right)(g_{m3} + g_{m4})[g_{m3}(\Delta_{22} - \Delta_{23}) - g_{m4}\Delta_{24}] * \\ & \left(2A_o \left(\frac{C_T}{C_{in}}\right) [g_{m10} + \left(\frac{C_{CM}}{C_T}\right)(g_{m3} + g_{m4})]\right) * \\ & [g_{m10} + \left(\frac{C_{CM}}{C_T}\right)(g_{m3} + g_{m4}) + g_{m3}(\Delta_{23} + \Delta_{22}) + g_{m4}\Delta_{24}] \end{aligned} \quad (24)$$

Taking into account that $G_m = \left(\frac{C_{in}}{C_T}\right)(g_{m4} - g_{m3})$ and assuming that the integrator is designed in such a way that $g_{m10} \approx g_{m3} + g_{m4}$. The exact value of the CMRR depends on the value of the transconductance therefore and considering $\left(\frac{V_{out2}}{V_{ind}} \approx \frac{G_m}{G_{outn} + G_{outp}}\right)$, which will in their turn, be a function of the bias current then the CMRR is given by

$$CMRR \approx -\frac{G_m}{G_{outn} + G_{outp}} * \frac{A_o D [(1 + C_{CM}/C_T) + (\Delta_{22} + \Delta_{23})(C_{CM}/C_T)]}{(\Delta_{13} + \Delta_{12})(1 + C_{CM}/C_T) + (C_{CM}/C_T)(\Delta_{22} - \Delta_{23})} \quad (25)$$

$$\text{With} \quad D = (C_T/C_{in})(1 + C_{CM}/C_T)$$

This analysis is performed to understand the integrator $g_m - C$ behavior and used for the $\Sigma\Delta$ modulator design in section IV.

B. AN OFFSET COMPENSATED FGMOS COMPARATOR

This shows how the use of FGMOS transistors in a comparator circuit can reduce the minimum required power supply voltage, increase the input range and compensate for offset variations[1]. The comparator is shown in Fig.5. So, input transistors are ON if:

$$V_{in}^+ > \frac{C_T}{C_{in}} \left(V_{Tn} - \frac{C_{CLK}}{C_T} V_{CLK} - \frac{C_C}{C_T} V_{off} \right) \quad (26)$$

Reset if:

$$V_{in}^+ < \frac{C_T}{C_{in}} \left(V_{Tn} - \frac{C_C}{C_T} V_{off} \right) \quad (27)$$

The basic operation of the comparator is performed in two phases: offset compensation and comparison [1]. During the offset compensation phase switches S5 and S6 are opened while S1, S2, S3, S4 are closed as seen in Fig. 6. Switches S3 and S4 connect the gate of the load PMOS transistors to a constant voltage, V_{bias} which makes them operate as current sources. As a first approach, ignoring the effects of mismatch between these two devices, the current flowing through them is:

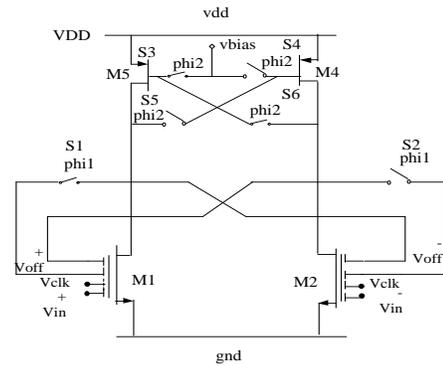


Fig.5. Schematic of an Offset Compensated FGMOS Comparator.

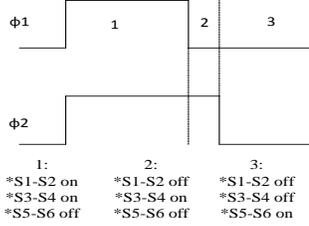


Fig.6 Compensation of the offset voltage of the comparator in Fig.5

$I_D = \frac{\beta_p}{2} (V_{SG} - V_{TP})^2$ A MOS P in saturation.
Where $V_{SG} = V_S - V_G = V_{DD} - V_{bias}$ and $I_D = I_{bias}$ Then:

$$I_{bias} = \frac{\beta_p}{2} (V_{DD} - V_{bias} - |V_{TP}|)^2 \quad (28)$$

Switches S1 and S2 establish a negative feedback by connecting one input of each of input FG MOS transistors with their respective drains (outputs of the comparator). The same value of the voltage V_{cm} is applied to V_{in}^+ and V_{in}^- during this phase [3]. Assuming that the threshold voltages of both input transistors are different (V_{THN1} for transistor M1 and V_{THN2} for transistor M2), the voltage generated at $V_{out}^+ = V_{off}^+$ and $V_{out}^- = V_{off}^-$ by the negative feedback is:

$$I_{bias} = \frac{\beta}{2} [(W_{in} V_{in} + W_{CLK} V_{CLK} - V_{THN}) + W_{off} V_{off}^+]^2 \quad (29)$$

Manipulating and simplifying for V_{off}^+ , we have:

$$\sqrt{\frac{2I_{bias}}{\beta}} = W_{in} V_{in} + W_{CLK} V_{CLK} - V_{THN} + W_{off} V_{off}^+ \quad (30)$$

$$V_{off}^+ = \left(\sqrt{\frac{2I_{bias}}{\beta}} - W_{in} V_{in} - W_{CLK} V_{CLK} + V_{THN} \right) \frac{1}{W_{off}} \quad (31)$$

$$\text{if } W_{off} = \frac{C_C}{C_T}, \quad W_{in} = \frac{C_{in}}{C_T}, \quad W_{CLK} = \frac{C_{CLK}}{C_T}$$

$$V_{off}^+ = \left(\sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_{in}}{C_T} V_{in} - \frac{C_{CLK}}{C_T} V_{CLK} + V_{THN} \right) \frac{C_T}{C_C} \quad (32)$$

If $V_{in}^+ = V_{cm} = V_{in}^-$, V_{off}^- is obtained by the same procedure, in the comparing stage

$$V_{off}^- = \frac{C_T}{C_C} \left(V_{THN2} + \sqrt{\frac{2I_{bias}}{\beta_n}} \right) - \frac{C_{in}}{C_C} V_{cm} - \frac{C_{CLK}}{C_C} V_{CLK} \quad (33)$$

$S_1, S_2, S_3, S_4 = \text{Open}$ and $S_5, S_6 = \text{Closed}$ from the expression (31) it is obtained:

$$\frac{C_C}{C_T} V_{off}^+ = V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_{in}}{C_T} V_{cm} - \frac{C_{CLK}}{C_T} V_{CLK} \quad (34)$$

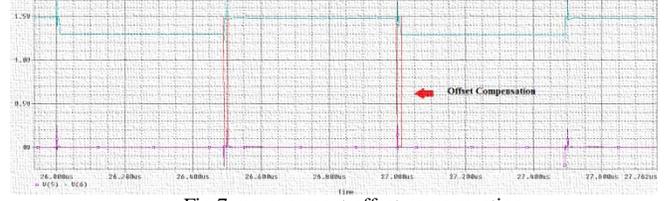


Fig.7 measurement offset compensation.

If a differential input is applied to the transistors ($V_{in}^+; V_{in}^-$) it is obtained

$$\frac{C_C}{C_T} V_{off}^+ = V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} - \frac{C_{in}}{C_T} (V_{in}^+ - V_{cm}) - \frac{C_{CLK}}{C_T} V_{CLK} \quad (35)$$

Where $\frac{C_C}{C_T} V_{off}^+ = V_{FG}$ therefore it is in the following way

$$V_{FG1} = \frac{C_{in}}{C_T} (V_{in}^+ - V_{cm}) + V_{THN1} + \sqrt{\frac{2I_{bias}}{\beta}} \quad (36)$$

The next one is obtained in the same way

$$V_{FG2} = \frac{C_{in}}{C_T} (V_{in}^- - V_{cm}) + V_{THN2} + \sqrt{\frac{2I_{bias}}{\beta}} \quad (37)$$

Likewise as A, this schematic of an offset compensated FG MOS comparator is applied to the oversampling $\Sigma\Delta$ modulator design seen in Fig. 8.

IV. MEASUREMENT RESULTS

The two integrators and the comparator have been designed and simulated according to the analysis shown above; the simulation results prove that these blocks operate at low voltage and low power as explained below. Fig. 9 shows the $\sin(x)$ input signal of the first integrator $g_m - C$. The input signal applied to the comparator has a frequency of 2 KHz with 0.5 Vp-p and 2.5 V of common mode voltage. The sampling frequency $F_s = \text{Oversampling ratio (OSR)} \times \text{Nyquist Frequency } (f_{NIQ})$ was of 640 KHz, where $\text{OSR} = 64$. Now, in order to demonstrate the operation, Fig. 10 shows a simulation, where it can be seen that the output signals only have a delay. To obtain this plot, at the output of the $\Sigma\Delta$ modulator, it is used a low pass filter implemented with R-C elements in order to convert the output bitstream to analog signal. The devices operation holds properly without any compensation. The resulting power consumption after having a supply voltage of 2V was $7.5 \mu\text{W}$.

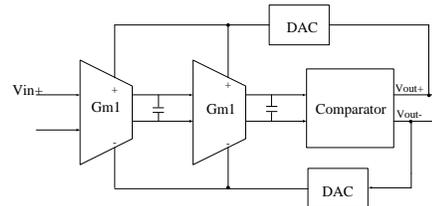


Fig.8. oversampling $\Sigma\Delta$ Modulator block diagram

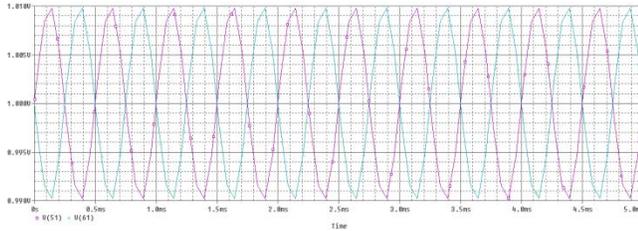


Fig. 9 Voltaje diferencial Sin(x) de la entrada al $g_m - C$ FG MOS Integrator

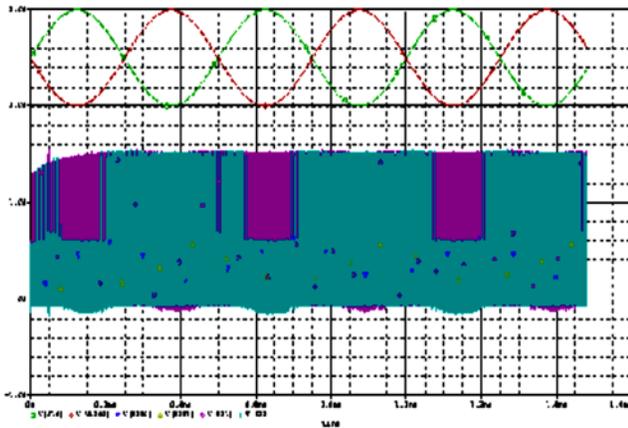


Fig. 10 Input and Output Signals of the $\Sigma\Delta M$.

V. CONCLUSION

The $\Delta\Sigma$ modulator was designed to be efficient using available analog CMOS circuits and exploiting the characteristics of the floating gate transistor in a $1.2 \mu\text{m}$ CMOS technology. The objective was to probe the behavior of the FG MOS devices through the architecture in order to reduce the supply voltage required to operate the transistors in their associated operation region with low voltage and preserving the performing required for this $\Delta\Sigma$ modulator with low voltage and low power. This paper presents the design of three blocks: 2 integrators and a comparator by applying different coefficients through the relations of multiple entries to the MOS transistor, as well as, the mathematical analysis of these blocks for different non-idealities as mismatch, which could be crucial due to the reduction of the power supply. The contribution made to the work [1] is that it was used a $G_m - C$ integrator with a CMFB block to stabilize the common mode which it is also mathematically characterized.

VI. ACKNOWLEDGEMENTS

In this research, the author gratefully acknowledges the contributions and unconditional support of Dr. Jesús de la Cruz Alejo on the original version of this paper and Dr. Juan Carlos Sánchez García who gave me the opportunity of being a member in the research group of the Microelectronics Department he coordinates; to CONACYT for giving its support to perform my research and to my family for its support and love.

REFERENCES

- [1] Esther Rodríguez-Villegas, Min Xu, Simplifying the design of $\Sigma\Delta$ modulators using FG MOS transistors, IEEE Transactions On Circuits And Systems-I: Regular Papers, Vol.56, No.7, July 2009, Pp 1313-1325.
- [2] Min Xu, Esther Rodriguez-Villegas, A 1V Low Power Sigma-Delta Modulator based on Floating Gate MOS Transistors, Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on 27-30 Aug. 2007, Pp 48-59.
- [3] Esther O. Rodríguez, Alberto Yúfera, Adoración Rueda, A g_m -C Floating Gate MOS Integrator, ISCAS 2000, Geneva, Switzerland, Pp IV 153-IV 156.
- [4] Zhimin li, Terri S. Fiez, A 14 Bit continuous-time Delta-Sigma A/D Modulator with 2.5 Mhz signal Bandwidth; IEEE Journal Of solid-State Circuits, Vol. 42, No.9, September 2007.
- [5] Fethi Fathat, Chiheb Rebai, Adel Ghazel, Patrick Loumeau; 1Bit Sigma Delta Analog to Digital Converter for multi standard GSM/UMTS Radio Receiver; 2004 IEEE International Conference on Industrial Technology (ICIT).
- [6] Esther O. Rodríguez, Alberto Yúfera, Adoración Rueda, A 1-V Micropower Log-Domain Integrator based on FG MOS Transistors operating in weak Inversion, IEEE journal of solid-State circuits, Vol. 39, No. 1, January 2004.
- [7] Esther O. Rodríguez, A 0.8 V, 360 nW G_m -C biquad based on FG MOS transistors, Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium.
- [8] Rodriguez-Villegas, E.; Yufera, A.; Rueda, A.; Design of FG MOS log-domain filters; Micro-NanoMechatronics and Human Science, 2003 IEEE International Symposium.
- [9] Sushell Sharma; S.S Rajput; S.S Januar; Floating Gate MOS Structures and Applications; IETE Technical Review, Vol.25, ISSUE 6, Nov-Dic 2008.
- [10] Daniel J. Allen, Angelo W. Pereira; Paul Hasler; A Programmable Coefficient Continius-Time A/D $\Sigma\Delta$ modulator, Circuits and systems, 2004. ISCAS '04. Proceedings Of the 2004 International Symposium; I-1148-51; Vol.1
- [11] Shouli YAN; Edgar Sanchez-Sinencio; Low Voltage Analog Circuit Design Techniques: A Tutorial; IEICE TRANS. Analog Integrated Circuits And systems, Vol.E00-A, No. 2 February 2000
- [12] Ozalevli, E.; Hasler P.; Design of a CMOS floating-gate resistor for highly linear amplifier and multiplier applications, Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005
- [13] Serrano G.; Hasler P.; A floating-gate DAC array; Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on

Second order $\Sigma\Delta$ Modulators Using FGMOS Transistors

Dora I. Reyes Chávez, Juan C. Sánchez García, Senior Member, IEEE

Abstract: This paper presents the design of a second order continuous time low power and low voltage oversampling $\Sigma\Delta$ Modulator. This shows inside a comparator and an integrator with FGMOS techniques to facilitate the design and improve its characteristic behavior. The FGMOS transistor is simultaneously used in order to simplify the topology, accurately, compensate for gain losses in the integrator and several nonidealities in the comparator; increase the dynamic range; reduce distortion; shift signal levels according to the specific requirements of individual devices; implement an easy common-mode sensing and feedback strategy; and tune the loop filter and reset the comparator. The $\Sigma\Delta$ Modulator is operates whit 2 kHz of band whit at 1.5V and consumes just 7.5 μ W of power. The simulation results are according to theoretical analysis.

Keywords- A/D Converters, Effective Inputs, Floating-Gate MOS (FGMOS), Frequency, Low Power and Low Voltage, N-inputs, Noise Transfer Function, Oversampling, Quantization Error, $\Sigma\Delta$ Modulators

I.- NOMENCLATURE

ADC	Analog to Digital Converters
DC	Direct Current
DR	Dynamic Range
FG	Floating Gate
FGMOS	Floating Gate MOS Transistor
LP	Low Power
LV	Low Voltage
NTF	The Noise Transfer Function
SQNR	Signal to Quantization Noise Ratio
STF	Signal Transfer Function
VLSI	Very Large Scale Integration
$\Sigma\Delta$	Delta-Sigma Modulation

II. INTRODUCTION

Nowadays, LP and LV circuits are extensively demanded by the market of portable applications (computer, phone, biomedical implants) [1]. Partly due to the demand for smaller and faster products, there is an ongoing trend in fabrication processes towards smaller transistors.

Dora I. Reyes Chavez is a student in the postgraduate department of engineering science in microelectronics, Instituto Politecnico Nacional; ESIME Culhuacan, Mexico; Mexico DF.(email: doraines.reyesch@gmail.com)

Juan C. Sánchez García is a member in the postgraduate department of engineering science in microelectronics, Instituto Politecnico Nacional; ESIME Culhuacan, Mexico; Mexico DF.(email: jcsanche@ipn.mx)

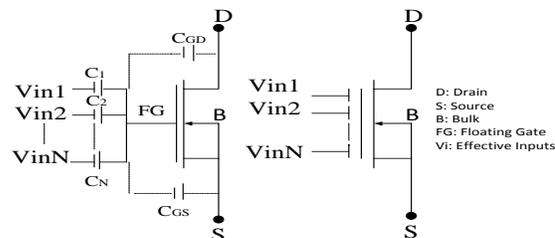


Fig. 1 Equivalent circuit and symbol for an N-input n-type FGMOS transistor.

To get this, what it has been done is to work with the FGMOS transistor which a number of gates or secondary inputs are placed in the input of the FG and which are electrically isolated from the FG [2]. These inputs are capacitively connected in the FG. Then, in terms of DC operation the FG is a floating node and what is searched is to control the threshold voltage of the transistor through N input voltages capacitively coupled, with the purpose of adjusting its charge and therefore to decrease problems.

On the other hand, in the last years, the $\Sigma\Delta$ have been the most used; these can be of continuous time or discrete time. $\Sigma\Delta$ operate at a frequency above the Nyquist frequency and are especially insensitive to circuit imperfections and tolerances of the components; the filtering stage and the feedback loop along with the sampling frequency of the modulator make the modulator, to have a higher resolution than the quantifier used; the highest the oversampling ratio the highest the resolution of the modulator.

The benefits of conversion oversampling A / D are well known because the order of the converter improves SQNR and the DR values. This paper is mainly focused on the analysis, modeling and design of a second order $\Sigma\Delta$ that exploits the feature of the FGMOS transistors.

It is organized as follows: Section III presents details of operation of the FGMOS transistors; Section IV describes the $\Sigma\Delta$ Modulators, Section V presents the results and section VI conclusions.

III.-FGMOS TRANSISTOR

This Design is based on FGMOS Transistor which the symbol and equivalent circuit for a n-type FGMOS transistor having N-inputs are shown in Fig. 1. In this technique the transistor is capacitively coupled to the input [3]. The voltage at the floating gate is given by:

$$V_{FG} = \sum_{i=1}^N \frac{C_i}{C_T} V_i + \frac{C_{GS}}{C_T} V_S + \frac{C_{GD}}{C_T} V_D + \frac{Q_{FG}}{C_T} \quad (1)$$

Where C_T , is the total capacitances seen by the floating gate and is given by:

$$C_T = C_{GD} + C_{GS} + C_{GB} + \sum_{i=1}^N C_i$$

Where N is the number of effective inputs; C_i and V_i are the i_{th} input capacitance and voltage, respectively; C_T is the total capacitance seen by the FG; and C_{GD} , C_{GS} , and C_{GB} are the parasitic capacitive couplings between the FG and the drain, source, and bulk, respectively. The term Q_{FG} refers to a certain amount of charge that has been trapped in the FG during fabrication [11]. Assuming that the FGMOS transistor is operating in the saturating region, then the current drain is given by:

$$I_D = \frac{\beta}{2} \left(\sum_{i=1}^N \frac{C_i}{C_T} V_{is} + \frac{C_{GD}}{C_T} V_{DS} + \frac{C_{GB}}{C_T} V_{BS} + \frac{Q_{FG}}{C_T} - V_T \right)^2 \quad (2)$$

V_D, V_S, V_B , is the drain, source and bulk voltage respectively. The parasitic capacitances are the same given above. Where the FGMOS transistor must satisfy:

$$\frac{C_1 V_1 + C_2 V_2 + \dots + C_i V_i}{C_T} > V_T \quad (3)$$

Now, manipulating V_1 , in (3), we have:

$$V_1 > \frac{C_T}{C_1} V_T^* - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_i}{C_1} V_i \quad (4)$$

Therefore with the FG is controlled the Threshold V_{thres} . So the V_{thres} seen by one gate is given by:

$$V_T^{(1)} = \frac{C_T}{C_1} V_T^* - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_i}{C_1} V_i \quad (5)$$

IV. $\Sigma\Delta$ MODULATORS

The architecture of a second order $\Sigma\Delta$ is shown in Fig. 2. As it is seen, it comprises two integrators, the first is a "non-delayed" and the second is a "delayed" integrator [5]. The single bit quantizer can be substituted with an additive white noise source as it is depicted in Fig. 2 and after that, finding out an expression for the output in the z-domain. Performing the mentioned steps leads to the following expression for $Y(z)$:

$$Y(z) = X(z)z^{-1} + E(z)(1 - z^{-1})^2 \quad (6)$$

Where $X(z)$ and $E(z)$ are the z-transforms of the input signal and quantization error, respectively. Therefore, if the quantization noise is to be suppressed in the baseband, must have a large DC gain [1].

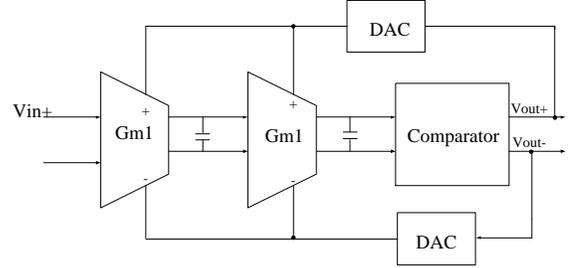


Fig.2. oversampling $\Sigma\Delta$ block diagram.

The integrator ideally provides an infinite gain at DC, which, from (8), is necessary to suppress the quantization noise at baseband. The quantization noise is injected by the comparator, although, as mentioned, single bit quantizers strongly violate the assumptions of the additive white noise model, it is useful to take that model for an early estimation of the main performance parameters of signals when it is used as an ADC [2]. Refinements made on the value of the estimated data or extraction of other performance parameters such as SFDR (Spurious-Free dynamic range). After substituting the comparator by a white noise additive source, from the last equation the Noise Transfer Function (NTF) can be identified to be $(1 - Z^{-1})$ and the Signal transfer function (STF) as Z^{-1} [4]-[5]. The signal is only delayed by a clock period. The quantization noise power spectral density is shaped by the NTF, which has one transmission zero at 1 in a normalized discrete time frequency axis, suppressing so the quantization noise power around DC [2]-[5]. The in-band quantization noise power P_e can be calculated by making $Z = \exp(2\pi j f / f_s)$ and after that, integrating the output power spectral density within (f_b) :

$$P_e = \int_{-f_b}^{f_b} (2 \sin(\pi f / f_s))^4 \frac{\Delta^2}{12 f_s} df$$

$$P_e \approx \left(\frac{\pi^4}{5} \right) * \left(\frac{1}{OSR^5} \right) * \frac{\Delta^2}{12} \quad (7)$$

Where N_e , is the quantization noise power spectral, Δ is the quantization step size, f is the frequency; f_s is the sampling frequency, f_b is the baseband cutoff frequency, df is the derivative with respect to frequency and OSR is the Oversampling Ratio.

From (7) the SQNR and the DR can be found assuming that the modulator has as input a sinusoidal of amplitude $A \leq \Delta/2$

$$SQNR = \frac{A^2}{2P_e} = \frac{30 * OSR^5 * A^2}{\pi^4 \Delta^2} \quad (8)$$

$$DR = \frac{(\Delta/2)^2}{2P_e} = \frac{15 * OSR^5}{2\pi^4} \quad (9)$$

Here are the circuits that are internally of the $\Sigma\Delta$ of second order showing their more important behavior.

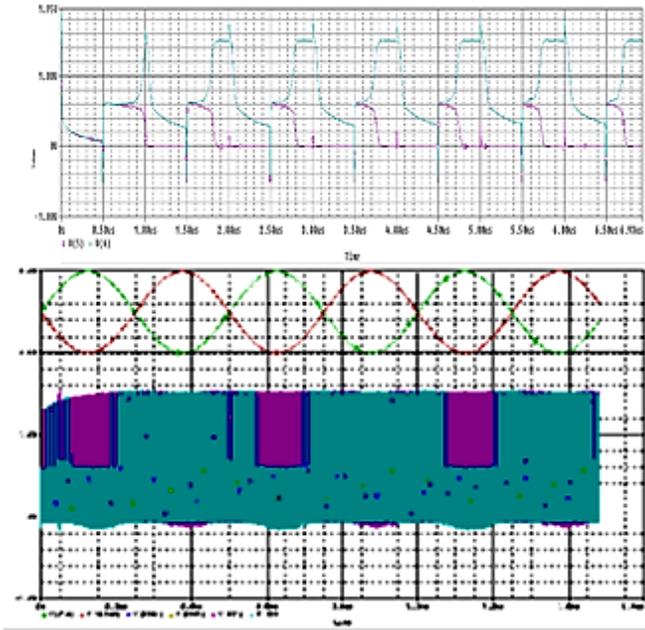


Fig. 5 Input and Output Signals of the $\Sigma\Delta$ M.

V.-MEASUREMENT RESULTS

In Fig. 5 we can observe three types of signals: an input, an output of comparator and an output Modulator. The input signal is obtained from integrators which show that the signal has been integrated properly and that the frequency is 2KHz with 0.5V pp and 2.5 of common mode voltage, the output of the integrator is obtained with 1.5V supply voltage with voltage threshold around 0.5359V and the power consumption is of 4.5 μ W, at the output it is already shown the signal of $\Sigma\Delta$ M which has a sampling frequency = $F_s = OSR \times f_{NIQ}$ which is 640KHz, where the OSR is equal to 64 dB. To show the design of Fig. 2 a low-pass filter was implemented with RC elements to convert the output bit stream into an analog signal, in which it is obtained a total power consumption of 7.5 μ W.

VI.-CONCLUSION

The $\Delta\Sigma$ modulator was designed to be efficient using available analog CMOS circuits and exploiting the characteristics of the floating gate transistor in a 1.2 μ m CMOS technology. The objective was to probe the behavior of the FG MOS devices through the architecture in order to reduce the supply voltage required to operate the transistors in their associated operation region with low voltage and preserving the performance required for this $\Delta\Sigma$ modulator with low voltage and low power.

VII.-ACKNOWLEDGEMENTS

In this research, the author gratefully acknowledges the contributions and unconditional support of Dr. Jesús de la Cruz Alejo on the original version of this paper and Dr. Juan Carlos Sánchez García who gave me the opportunity of being a member in the research group of the Microelectronics Department he coordinates; to CONACYT for giving its support to perform my research and to my family for its support and love.

VIII.-REFERENCES

- [1] Esther Rodríguez-Villegas, Min Xu, Simplifying the design of $\Sigma\Delta$ modulators using FG MOS transistors, IEEE Transactions On Circuits And Systems-I: Regular Papers, Vol.56, No.7, July 2009, Pp 1313-1325.
- [2] Min Xu, Esther Rodríguez-Villegas, A 1V Low Power Sigma-Delta Modulator based on Floating Gate MOS Transistors, Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on 27-30 Aug. 2007, Pp 48-59.
- [3] Esther O. Rodríguez, Alberto Yúfera, Adoración Rueda, A gm-C Floating Gate MOS Integrator, ISCAS 2000, Geneva, Switzerland, Pp IV 153-IV 156.
- [4] Zhimin Li, Terri S. Fiez, A 14 Bit continuous-time Delta-Sigma A/D Modulator with 2.5 Mhz signal Bandwidth; IEEE Journal Of solid-State Circuits, Vol. 42, No.9, September 2007.
- [5] Fethi Fathat, Chiheb Rebai, Adel Ghazel, Patrick Loumeau; 1Bit Sigma Delta Analog to Digital Converter for multistandard GSM/UMTS Radio Receiver; 2004 IEEE International Conference on Industrial Technology (ICIT).
- [6] Esther O. Rodríguez, Alberto Yúfera, Adoración Rueda, A 1-V Micropower Log-Domain Integrator based on FG MOS Transistors operating in weak Inversion, IEEE journal of solid-State circuits, Vol. 39, No. 1, January 2004.
- [7] Esther O. Rodríguez, A 0.8 V, 360 nW Gm-C biquad based on FG MOS transistors, Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium.
- [8] Rodríguez-Villegas, E.; Yúfera, A.; Rueda, A.; Design of FG MOS log-domain filters; Micro-NanoMechatronics and Human Science, 2003 IEEE International Symposium.
- [9] Sushell Sharma; S.S Rajput; S.S Januar; Floating Gate MOS Structures and Applications; IETE Technical Review, Vol.25, ISSUE 6, Nov-Dic 2008.
- [10] Daniel J. Allen, Angelo W. Pereira; Paul Hasler; A Programmable Coefficient Continuous-Time A/D $\Sigma\Delta$ modulator, Circuits and systems, 2004. ISCAS'04. Proceedings Of the 2004 International Symposium; I-1148-51; Vol.1
- [11] Shouli YAN; Edgar Sanchez-Sinencio; Low Voltage Analog Circuit Design Techniques: A Tutorial; IEICE TRANS. Analog Integrated Circuits And Systems, Vol.E00-A, No. 2 February 2000
- [12] Ozalevli, E.; Hasler P.; Design of a CMOS floating-gate resistor for highly linear amplifier and multiplier applications, Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005
- [13] Serrano G.; Hasler P.; A floating-gate DAC array; Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on

IX.-BIOGRAPHIES



Dora I. Reyes Chávez received the B. Eng. Degree in Electronics from Universidad Nacional de Ingeniería (UNI), Managua, Nicaragua on April 17, 2007. At present, she performs a research about FG MOS Transistors in the Instituto Politécnico Nacional in Mexico (IPN) Unidad Culhuacan to obtain the Master Degree in Engineering Sciences in Microelectronics.

JUAN CARLOS SANCHEZ-GARCIA was born in Mexico City. He received his doctor degree in Mexican Autonomous University (UAM), 2000. He is full researcher and graduate teacher, he has been collaborating with IPN ESIME CULHUACAN, from 1997; He is member of National Researchers System (SNI); He is also an IEEE member and Chairman of Circuits and Systems in Mexico Section. VLSI design and Signal Processing are the main themes of research.