



Instituto Politécnico Nacional

***Escuela Superior de Ingeniería Mecánica
y Eléctrica***

Unidad Profesional Culhuacan.

**Sección de Estudios de Posgrado e
Investigación**

Modulación de Espacio Vectorial (SVM) como Estrategia de Control PWM para un Inversor Híbrido Multiniveles

Tesis que presenta:

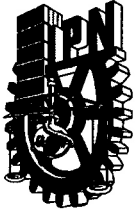
Caren Ivet Nicolas Villalva

Para obtener el grado de:

Maestro en Ciencias de Ingeniería en Microelectrónica

Director: Dr. Ismael Araujo Vargas

Julio 2011



INSTITUTO POLITÉCNICO NACIONAL SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

ACTA DE REVISIÓN DE TESIS

En la Ciudad de México D. F., siendo las 10:00 horas del día 29 del mes de junio del 2011 se reunieron los miembros de la Comisión Revisora de la Tesis, designada por el Colegio de Profesores de Estudios de Posgrado e Investigación de SEPI-ESIME-CULH. para examinar la tesis titulada:

"Modulación de Espacio Vectorial (SVM) como Estrategia de Control para un Inversor Híbrido Multiniveles"

Presentada por el alumno:

<u>Nicolas</u>	<u>Villalva</u>	<u>Caren Ivet</u>
Apellido paterno	Apellido materno	Nombre(s)

Con registro:

A	0	9	0	4	7	7
---	---	---	---	---	---	---

aspirante de:

Maestría en Ciencias de Ingeniería en Microelectrónica

Después de intercambiar opiniones, los miembros de la Comisión manifestaron **APROBAR LA TESIS**, en virtud de que satisface los requisitos señalados por las disposiciones reglamentarias vigentes.

LA COMISIÓN REVISORA

Director de tesis

Dr. Ismael Araujo Vargas

Dr. Domingo de Jesús Cortés Rodríguez

Dr. Juan Carlos Sánchez García

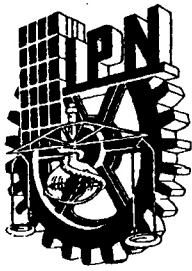
M. en C. Mario Ponce Flores

Dr. Pedro Guevara López

PRESIDENTE DEL COLEGIO DE PROFESORES

Dr. Gonzalo Isaac Duchén Sánchez





INSTITUTO POLITÉCNICO NACIONAL
SECRETARÍA DE INVESTIGACIÓN Y POSGRADO

CARTA CESIÓN DE DERECHOS

En la Ciudad de México D.F. el día 29 del mes de julio del año 2011, el que suscribe Ing. Caren Ivet Nicolas Villalva alumno (a) del Programa de Maestría en Ciencias de Ingeniería en Microelectrónica con número de registro A090477, adscrito a Sección de Estudios de Posgrado e Investigación (SEPI) ESIME Culhuacan, manifiesta que es autor intelectual del presente trabajo de Tesis bajo la dirección del Dr. Ismael Araujo Vargas y cede los derechos del trabajo titulado “Modulación de Espacio Vectorial (SVM) como Estrategia de Control para un Inversor Híbrido Multiniveles”, al Instituto Politécnico Nacional para su difusión, con fines académicos y de investigación.

Los usuarios de la información no deben reproducir el contenido textual, gráficas o datos del trabajo sin el permiso expreso del autor y/o director del trabajo. Este puede ser obtenido escribiendo a la siguiente dirección vangynga@yahoo.com.mx Si el permiso se otorga, el usuario deberá dar el agradecimiento correspondiente y citar la fuente del mismo.

Ing. Caren Ivet Nicolas Villalva

Nombre y firma

AGRADECIMIENTOS

Al *Instituto Politécnico Nacional* por apoyarme en la construcción de este trabajo, en mi crecimiento personal y formación académica a lo largo de más de 9 años. Al *CONACyT* por apoyar económicamente el desarrollo de este proyecto y brindarme los medios para cursar este programa de maestría. A la *Sección de Estudios de Posgrado e Investigación de la Escuela Superior de Ingeniería Mecánica y Eléctrica Unidad Culhuacan*, por brindarme una preparación personal y académica durante mi estancia en ella.

Al *Dr. Ismael Araujo* por haberme dado la oportunidad de formar parte de su equipo de trabajo, por brindarme su amistad, confianza, apoyo, paciencia y dirección en este proyecto.

A mis profesores que compartieron conmigo sus conocimientos, valores y su amor por la electrónica a lo largo de esta interminable formación académica.

DEDICATORIA

A Dios por darme una hermosa familia, así como el valor y las fuerzas para llegar hasta este momento tan importante en mi vida.

A mi madre, *Nieves Villalva*. Gracias mami por todo tu apoyo incondicional, por confiar siempre en mi, por guiar cada paso en mi vida, por todo el cariño y amor que me das día a día a pesar de mi mal humor. Los buenos ejemplos, consejos y valores que me has inculcado desde niña me han traído hasta aquí y sé que me guiarán toda la vida. Te quiero mucho mamá.

A mis hermanos, *Nidia* y *Cesar Omar* por sus consejos, por todos los ánimos, el cariño y la comprensión que me dan en todo momento. Gracias por formar parte de mi vida y aunque nunca lo digo pero los quiero mucho.

A mis sobrinos, *Cesar, Daniel, Oscar, Jessica, Ana, Jonathan* y *Francisco*. Gracias por hacerme olvidar malos momentos con todas sus ocurrencias y sus sonrisas sinceras, sé que no he sido una buena tía pero espero ser un buen ejemplo para todos ustedes.

A mis tíos, *Santos, Juan* y *Francisco* que para mi han sido como mis papás. Gracias por sus buenos consejos y apoyo durante mi vida. A mis tías *Leonila, María* y a todos mis primos por todo su apoyo, cariño y amor.

A mi prima *Karime* por ser la mejor amiga que he tenido, por todos los momentos de juego, de llanto cuando nos llamaban la atención por haber hecho travesuras, por todas las risas y momentos de felicidad.

A *Alejandro Tapia* por todo el apoyo, cariño, comprensión y amor incondicional. Gracias por toda la motivación que me das al realizar un nuevo proyecto, por creer en mí y sobre todo por enseñarme a creer en mí.

A mis compañeros, amigos y equipo de trabajo del grupo de potencia, *Nancy Mondragón, Alejandro Villarruel, Alejandro Tapia, Teresa Granados, José Luis Bautista, Jazmín Ramírez, Patricia Solís, Iván Mejía, Kevin, Gerardo* y a mis queridos amigos *Marbella Calvino, Alejandro Trejo, Miguel Morales, Miguel Meléndez, José Antonio Tavares, Raymundo Cassani* y *Patricia Mejía*. Gracias por todos los momentos agradables que hemos pasado juntos, por brindarme su amistad y apoyo sincero. A pesar de que cada uno de nosotros tome rumbos diferentes siempre los recordaré con mucho afecto y cariño.

Índice

Abstract	v
Resumen	vii
Capítulo 1. Introducción y Estado del arte	1
1.1 Introducción	1
1.2 Estado del arte	1
1.2.1 Inversores de potencia	1
1.2.2 Clasificaciones de inversores de potencia	2
1.2.2.1 Inversores monofásicos	3
1.2.2.2 Inversores trifásicos	4
1.2.2.3 Inversores multiniveles	4
1.2.2.4 Inversores híbridos	6
1.2.3 Técnicas de modulación empleadas en los inversores	6
1.2.3.1 PWM naturalmente muestreada	7
1.2.3.2 PWM regularmente muestreada	7
1.2.3.3 PWM con inyección del tercer armónico	8
1.2.3.4 PWM de espacio vectorial (SVM)	9
1.3 Inversor híbrido multiniveles propuesto	10
1.4 Modos de operación comúnmente empleados en el inversor híbrido multiniveles	11
1.4.1 Modo de operación de 7 niveles	11
1.4.1.1 Formas de onda ideales	13
1.4.1.2 Señales de control	15
1.4.2 Modo de operación de 7 niveles PWM	16
1.4.2.1 Formas de onda ideales	16
1.4.2.2 Señales de control	19
1.5 Resumen del Estado del Arte	20
1.6 Motivación para realizar el proyecto	20
1.7 Principales objetivos del proyecto	21
1.8 Descripción de la tesis	21
1.9 Referencias	21
Capítulo 2. Modulación de espacio vectorial de ancho de pulso (SVPWM) para un inversor híbrido multiniveles	25
2.1 Introducción	25
2.2 Principio de operación del inversor híbrido en el modo de operación de modulación de espacio vectorial de ancho de pulso (SVPWM)	26
2.2.1 Configuraciones del inversor híbrido multiniveles	26
2.2.2 Análisis de espacio vectorial del inversor híbrido multiniveles	30
2.3 Cálculo de los tiempos activos de los vectores de espacio	31
2.3.1 Generación de los voltajes modulados en un ciclo de conmutación	32
2.4 Generación de la forma de onda de voltaje v_{RN} de siete niveles SVPWM	35
2.5 Análisis armónico del voltaje de salida v_{RN}	38
2.6 Resumen	38
2.7 Referencias	39
Capítulo 3. Algoritmo de control para el inversor híbrido en el modo de operación de 7 niveles SVPWM	41
3.1 Introducción	41
3.2 Principio de operación del algoritmo de control del inversor híbrido con el modo de operación de 7 niveles SVPWM	41
3.3 Algoritmo de control para el modo de operación de siete niveles SVPWM	42

3.3.1	Generador de portadora triangular de alta frecuencia	44
3.3.2	Localizador de sector	46
3.3.3	Generador de tiempos activos	46
3.3.4	Generador de interrupciones	46
3.3.5	Generación de señales de control	47
3.4	Implementación del algoritmo en el microcontrolador ATMEGA 2560	47
3.4.1	Configuración del Timer/Counter	49
3.5	Verificación experimental de las señales de control para el modo de operación 7 niveles SVPWM	51
3.6	Resumen	51
3.7	Referencias	52
	Capítulo 4. Diseño y construcción del prototipo inversor híbrido multiniveles.	53
4.1	Introducción	53
4.2	Antecedentes del prototipo	53
4.3	Especificaciones de diseño del prototipo	54
4.4	Descripción del prototipo	55
4.4.1	Etapas de potencia	55
4.4.1.1	Capacitores del riel de CD	55
4.4.1.2	Puentes inversores trifásicos	58
4.4.1.3	Circuito de disparo para los transistores del puente inversor	58
4.4.1.4	Transformador trifásico en conexión delta estrella	59
4.4.1.5	Circuito de balanceo magnético del transformador	61
4.4.1.6	Cargas resistivas	62
4.4.2	Etapas de interfaz	62
4.4.3	Etapas de control	63
4.5	Diseño final del circuito impreso	64
4.6	Resumen	64
4.7	Referencias	65
	Capítulo 5. Verificación experimental del inversor híbrido con SVPWM	67
5.1	Introducción	67
5.2	Parámetros de operación del prototipo	67
5.3	Verificación de los modos de operación del inversor híbrido	69
5.3.1	Modo de operación de 7 niveles	69
5.3.1.1	Señales de control	69
5.3.1.2	Formas de onda de voltaje	70
5.3.1.3	Formas de onda de corriente	73
5.3.1	Modo de operación de 7 niveles PWM	77
5.3.1.1	Señales de control	77
5.3.1.2	Formas de onda de voltaje	78
5.3.1.3	Formas de onda de corriente	80
5.3.1	Modo de operación de 7 niveles SVPWM	84
5.3.1.1	Señales de control	84
5.3.1.2	Formas de onda de voltaje	85
5.3.1.3	Formas de onda de corriente	89
5.4	Resumen	92
5.5	Referencias	92
	Capítulo 6. Conclusiones y observaciones	95
6.1	Introducción	95
6.2	Contribuciones del trabajo de investigación	95
6.3	Observaciones	96

6.4 Trabajo futuro	96
6.5 Conclusiones	96
Listado de Figuras	97
Listado de Tablas	100
Publicaciones	101
Apéndice A	103
Apéndice B	105
Apéndice C	107
Apéndice D	111
Apéndice E	123
Apéndice F	125
Apéndice G	127

ABSTRACT

This thesis presents the implementation of a Space Vector PWM (SVPWM) control strategy to generate the switching scheme for a multilevel hybrid inverter. Unlike other multilevel inverters, a minimum number of switching devices, a split DC link and a delta-star transformer rated at 50% the throughput power are combined with the control technique to generate seven-level SVPWM output voltage waveforms. The principle of operation and implementation of the algorithm are described in this thesis along with experimental results obtained with a 1kW prototype.

RESUMEN

En esta tesis se presenta la implementación de una estrategia de control de espacio vectorial PWM para generar un esquema de conmutación para un inversor híbrido multiniveles. A diferencia de otros inversores multiniveles, un número mínimo de dispositivos de conmutación, un solo suministro de CD y un transformador en conexión delta-estrella manejando solamente el 50% de la potencia son combinados con el algoritmo de control para generar formas de onda de voltaje de salida de 7 niveles SVPWM. El principio de operación y la implementación del algoritmo de control son descritos a lo largo de la tesis en conjunto con los resultados experimentales obtenidos con un prototipo con capacidad de 1kW.

CAPÍTULO 1

INTRODUCCIÓN Y ESTADO DEL ARTE

1.1 Introducción

En el presente capítulo se describe de manera breve el estado del arte de los tipos de inversores comúnmente empleados en el control de motores, en sistemas ininterrumpidos de energía (UPS), en filtros activos, por mencionar algunas aplicaciones. Así mismo, se describen las técnicas de modulación típicas para el control de estos convertidores. En particular, se describe de manera general los modos de operación de un inversor híbrido multiniveles anteriormente desarrollado y, por último, se exponen las razones que motivan a realizar este trabajo de investigación en conjunto con un esquema general de la estructura de la tesis.

1.2 Estado del arte

1.2.1 Inversores de potencia

La transferencia y control eficiente de la energía eléctrica constituye la clave de la tecnología de hoy en día, y esto hace que los métodos de conversión de energía eléctrica sean de gran importancia para investigación. Los convertidores de potencia transfieren energía desde una fuente a una carga por medio de un proceso de control de manera cuantificada, haciendo uso de dispositivos semiconductores de potencia, los cuales son encendidos y apagados en periodos de tiempo definido y controlado. Los algoritmos que generan los modos de estado de los transistores utilizan múltiples técnicas de modulación de ancho de pulso (por sus siglas en inglés *Pulse Width Modulation PWM*) [1-1].

Un inversor de potencia es un sistema que genera formas de onda de Corriente Alterna (CA) utilizando un suministro de Corriente Directa (CD), procurando obtener una alta eficiencia y bajo contenido armónico en las señales de salida. Este sistema es capaz de controlar y procesar la energía eléctrica de manera adecuada para una carga específica. La Figura 1.1 presenta un diagrama a bloques que muestra la composición básica de un inversor de potencia [1-2].

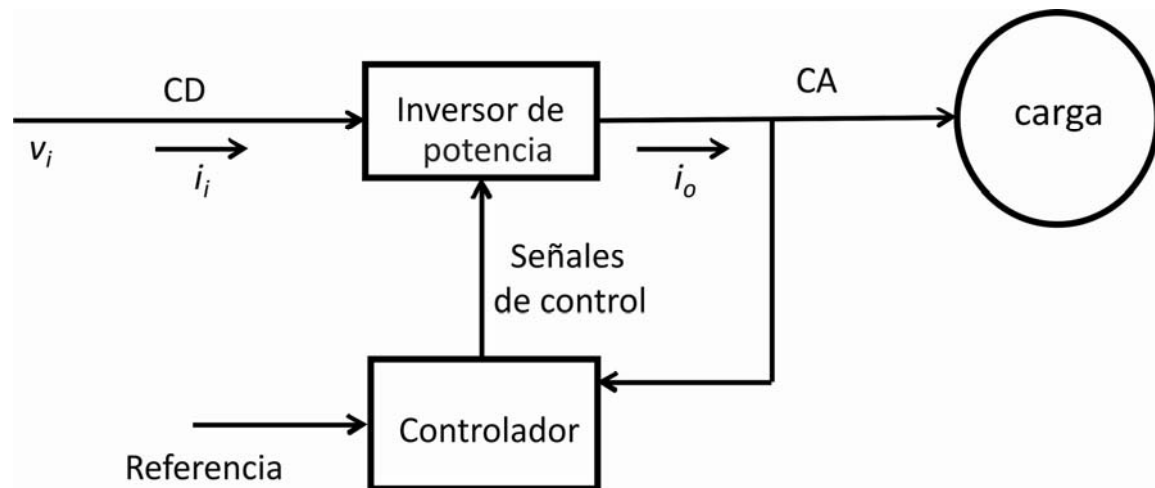


Figura 1.1 Diagrama a bloques que muestra la composición básica de un inversor de potencia

El diagrama de la Figura 1.1, consta de un suministro, una etapa de potencia, una etapa de control y una carga. La parte principal de un inversor de potencia es el circuito de potencia, el cual controla y procesa la energía eléctrica; mientras que la etapa de control es la encargada de que el circuito de potencia opere de forma correcta, con el fin de que la carga reciba la energía eléctrica procesada de manera apropiada. Las aplicaciones más comunes que los convertidores de potencia pueden tener son listadas a continuación: controladores de velocidad para motores de CA, sistemas ininterrumpidos de energía (por sus siglas en inglés *Uninterruptible Power Supply, UPS*), filtros activos de CA, sistemas de iluminación, rieles de transmisión de alto voltaje de CA (por sus siglas en inglés *HVCA*), distribución de energía eléctrica para sistemas de transporte, aeronaves, entre otras.

1.2.2 Clasificación de inversores de potencia

Diversos trabajos e investigaciones de ingeniería eléctrica y electrónica han llevado al desarrollo de diferentes tipos de inversores de potencia. La clasificación más básica parte del tipo de carga a ser alimentada, ya sea monofásica, trifásica o multifásica. También se pueden clasificar los

inversores por medio de la técnica usada para generar formas de onda alternas para la carga. A continuación se hace una clasificación de los inversores de potencia.

1.2.2.1 Inversores monofásicos

La Figura 1.2 muestra la topología básica de un inversor puente completo con una sola fase de salida. Esta configuración es conocida normalmente como puente H debido al arreglo de los dispositivos de potencia y de la carga.

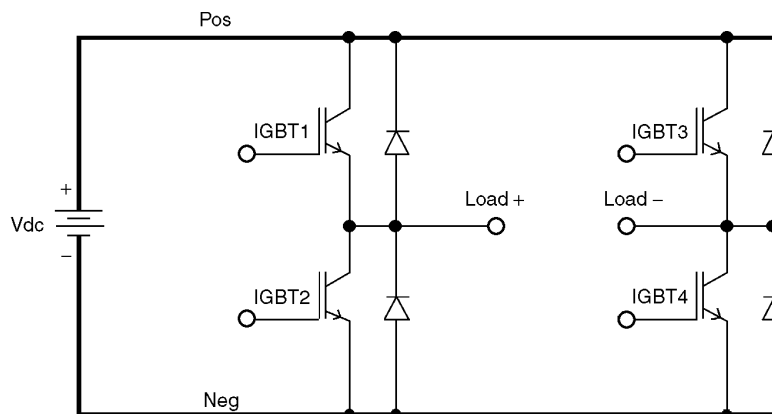


Figura 1.2 Circuito eléctrico de un inversor puente completo [1-3]

El inversor consta de dos ramas inversoras, teniendo cada rama inversora dos dispositivos de conmutación conectados en serie, y la carga será conectada entre los puntos medios de las ramas. Cada dispositivo de conmutación tiene conectado un diodo en anti-paralelo ya que este provee una trayectoria alternativa para la corriente de carga en caso de que esta se revierta y, además, para que los dispositivos de conmutación sean unidireccionales [1-3]. El control de este circuito se lleva a cabo mediante un control del ciclo de trabajo de los transistores superior e inferior de cada rama inversora, evitando un corto circuito en el riel de CD al activar una sola rama al mismo tiempo.

Los inversores monofásicos son caracterizados por generar formas de onda de voltaje bipolares a la salida, generalmente constituida solo por dos niveles de voltaje: uno positivo y uno negativo [1-4]. Una técnica aplicada para mejorar el desempeño de este tipo de inversores, es conmutar los transistores del inversor en alta frecuencia siguiendo un esquema de modulación PWM, de tal manera que la forma de onda de voltaje de salida se asemeje más a una forma de onda sinusoidal. Por ejemplo la Figura 1.3 muestra una señal de voltaje modulada obtenida por un inversor PWM.

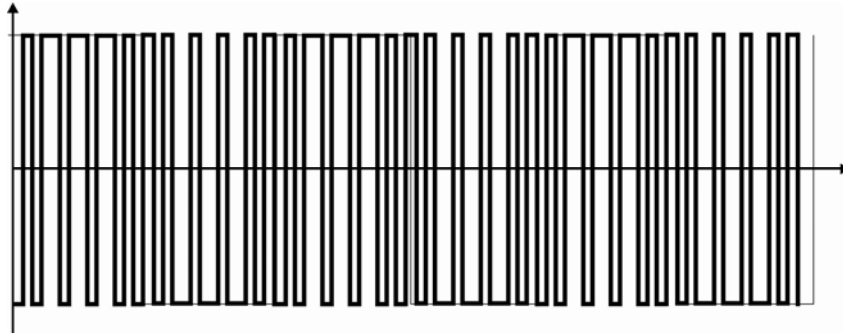


Figura 1.3 Forma de onda de salida de dos niveles de voltaje.

1.2.2.2 Inversores trifásicos

En la Figura 1.4 se muestra el diagrama eléctrico de un inversor trifásico, el cual es comúnmente usado como controlador de motores. El circuito básico de un inversor trifásico es una extensión del inversor puente H agregando a su diseño una tercera rama inversora.

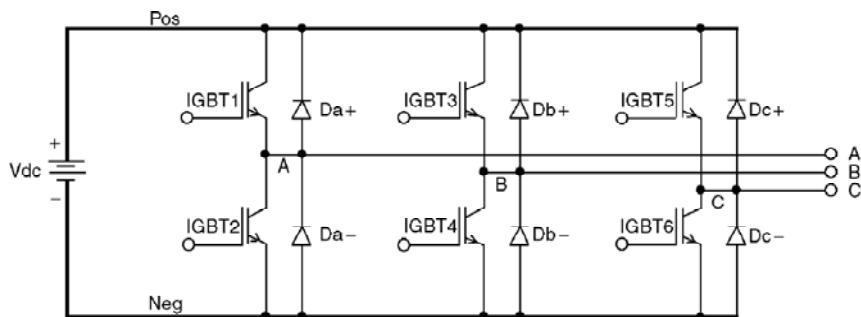


Figura 1.4 Circuito eléctrico de un inversor trifásico [1-3].

La estrategia de control de este inversor es similar al del puente H, a excepción que las señales de cada pierna inversora deben tener un desfase de 120° una con respecto a la otra. Debido a este desfase, los armónicos de orden $3k$, con $k = \text{impares}$, son eliminados de las señales de salida. Los inversores trifásicos de topología de 3 ramas inversoras son comúnmente empleados en el control de motores de CA, como los motores asíncronos y de inducción. En muchas ocasiones este tipo de motores utilizan un control con PWM para poder regular las formas de onda de salida [1-3].

1.2.2.3 Inversores multiniveles

A diferencia de los inversores mostrados en las Figuras 1.2 y 1.4 que generan formas de onda de 2 o 3 niveles, los inversores multiniveles pueden generar formas de onda de más de tres niveles de

voltaje. Los convertidores multiniveles tienen dos principales ventajas: alta capacidad de voltaje y reducción del contenido armónico de la forma de onda de salida. Debido a los múltiples niveles de voltaje que se producen a la salida de estos convertidores, las pérdidas por conmutación son reducidas y un menor estrés por dv/dt es obtenido [1-5]. También cabe señalar que la capacidad de alto voltaje es mayor en estos convertidores, ya que en algunas topologías añaden diodos anclados para limitar el estrés de voltaje en los dispositivos de conmutación.

Las topologías comúnmente existentes de estos tipos de inversores son [1-6], [1-7]:

- Inversor multiniveles de diodo anclado o de punto neutro anclado.
- Inversor multiniveles de capacitores flotantes.
- Inversor multiniveles con conexión en cascada de puentes inversores H.
- Inversor multiniveles híbrido.

Por ejemplo la Figura 1.5 muestra el circuito eléctrico de un inversor multiniveles de diodos anclados. Esta topología es constituida por tres ramas inversoras con 4 dispositivos de conmutación conectados en serie, conexión de diodos en anti-paralelo y diodos anclados. El voltaje generado a la salida tiene una forma de onda escalonada debido a la conmutación de los interruptores. Dependiendo de la cantidad de interruptores será el número de niveles de la forma de onda a la salida [1-8], [1-9].

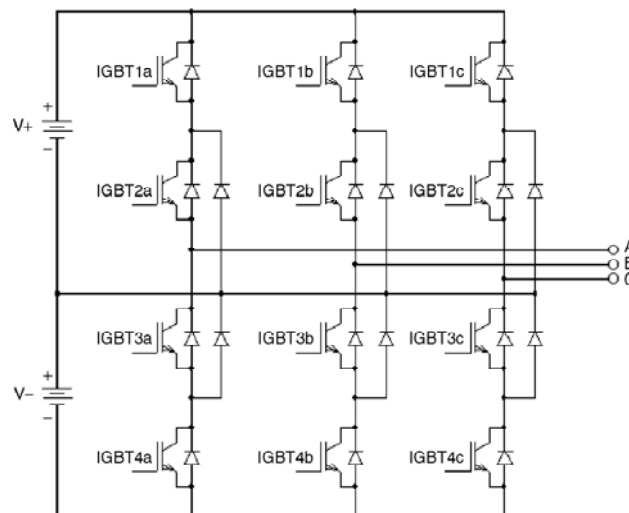


Figura 1.5 Circuito eléctrico de un inversor multiniveles [1-3]

1.2.2.4 Inversores híbridos

Los inversores híbridos combinan una o más de las topologías descritas anteriormente, [1-10], [1-11], [1-12] y sus configuraciones varían dependiendo de sus aplicaciones, ya que generalmente surgen como soluciones a algún problema en específico. En contraste con un inversor multiniveles, la principal ventaja de la estructura de un inversor híbrido es combinar las características de 2 dispositivos semiconductores de potencia, los cuales le permiten mostrar un comportamiento similar a los inversores multiniveles con un menor número de dispositivos de conmutación, sin la conexión de diodos anclados o de capacitores flotados. Los sistemas híbridos requieren del uso de transformadores para producir fuentes aisladas para cada inversor puente completo. Por ejemplo la Figura 1.6 muestra la estructura de un inversor híbrido puente H de 7 niveles el cual utiliza como dispositivos de conmutación a GTO e IGBT's.

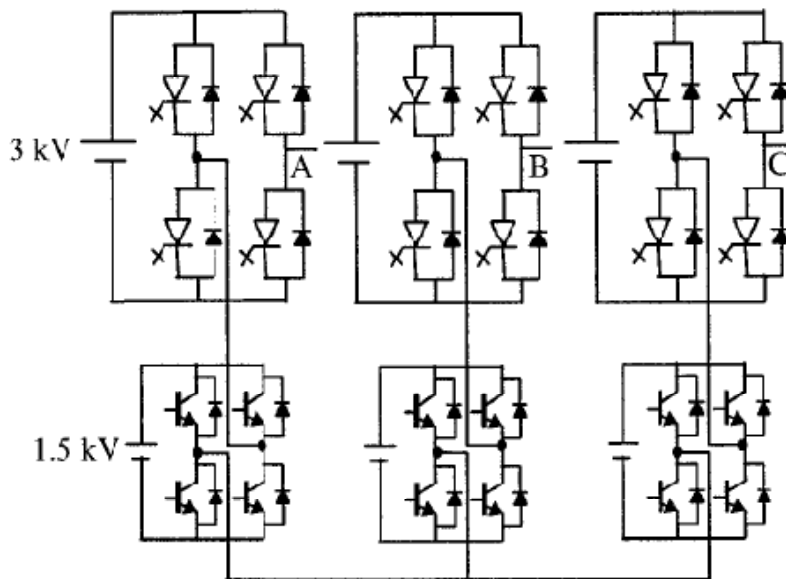


Figura 1.6. Topología de un inversor híbrido puente H de 7 niveles [1-11]

El convertidor empleado en este trabajo de tesis es un convertidor híbrido que puede operar en los modos de 7 niveles y 7 niveles PWM. En las siguientes secciones se detalla la operación del mismo.

1.2.3 Técnicas de modulación empleadas en los inversores

La intención de usar PWM en inversores es reproducir formas de onda sinusoidales sin armónicos de bajo orden [1-13]. Una técnica empleada para mejorar el desempeño de los inversores, es

conmutar los transistores del inversor a alta frecuencia siguiendo un esquema de modulación PWM, de modo que la forma de onda de voltaje de salida se asemeje más a una forma de onda sinusoidal. A continuación se describe de manera general las técnicas de modulación empleadas en inversores de potencia [1-14]:

1.2.3.1 PWM naturalmente muestreada

La estrategia de modulación PWM naturalmente muestreada está basada en la comparación de una señal de baja frecuencia conocida como modulante y que por lo general es una señal sinusoidal, con una señal de alta frecuencia, llamada generalmente portadora, la cual puede ser una señal triangular o diente de sierra. Por ejemplo la Figura 1.7 muestra como la primera forma de onda la comparación de una señal triangular de alta frecuencia con una señal sinusoidal, como resultado de la comparación se genera una forma de onda bipolar PWM mostrada como la segunda forma de onda.

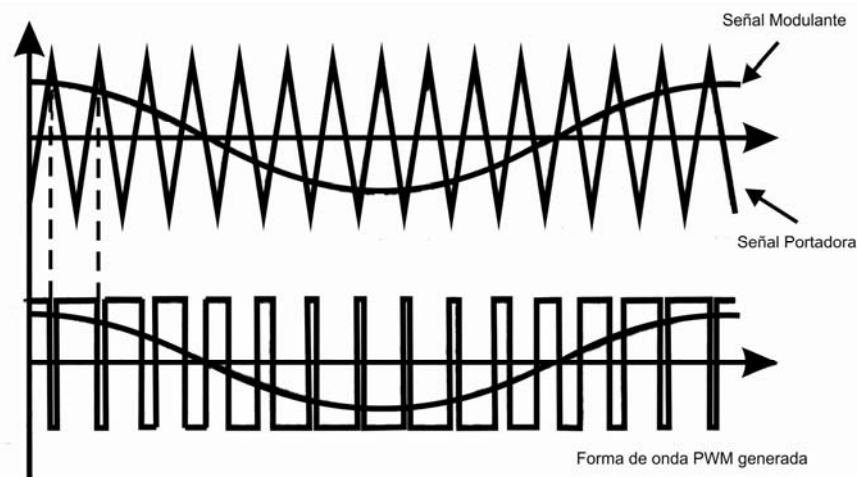


Figura 1.7 Formas de onda que describen el comportamiento de la técnica de modulación PWM naturalmente muestreada [1-13].

1.2.3.2 PWM regularmente muestreada

Se basa al igual que la naturalmente muestreada, en la comparación de una señal de baja frecuencia, pero ésta es muestreada constantemente durante el intervalo de duración de la señal portadora. Esto se puede observar en la Figura 1.8 donde los valores son comparados con instantes de tiempo de la modulante.

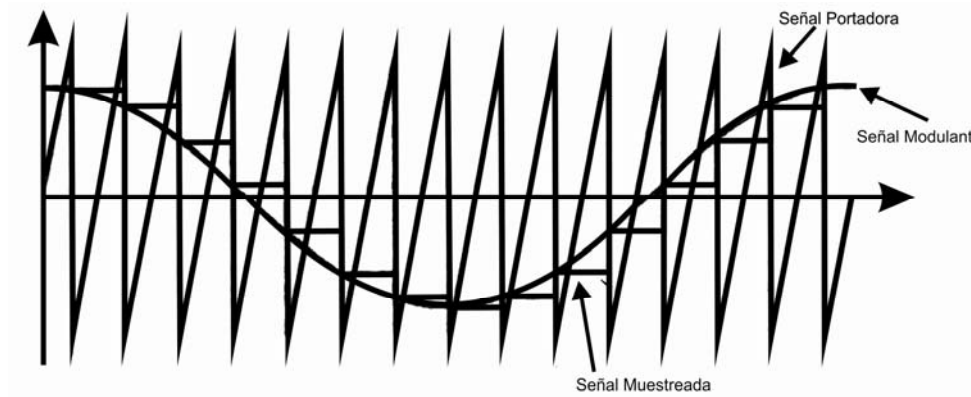


Figura 1.8 Formas de onda que describen el comportamiento de la técnica de modulación PWM regularmente muestreada [1-13].

1.2.3.3 PWM con inyección del tercer armónico

La estrategia de modulación PWM con inyección del tercer armónico es aplicado en convertidores trifásicos. Dicha estrategia de modulación está basada en cualquiera de las técnicas anteriormente descritas, pero teniendo a la señal modulante alterada con una pequeña porción de su tercer armónico. Esta pequeña porción genera una modulante de la misma amplitud de la señal modulante original pero con una frecuencia 3 veces mayor con respecto a la frecuencia de la señal modulada. La Figura 1.9 muestra la señal portadora triangular de alta frecuencia junto con la señal modulante original y la señal modulante con el tercer armónico.

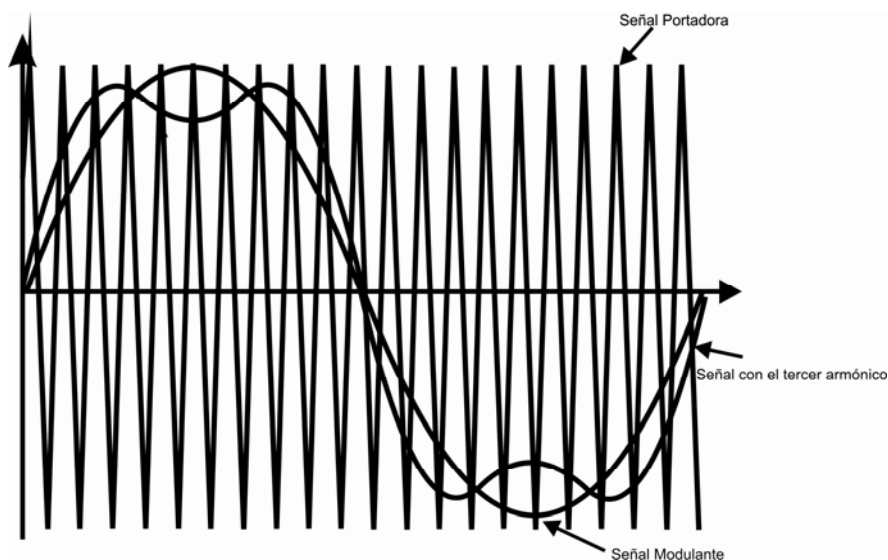


Figura 1.9 Formas de onda que describen el comportamiento de la técnica de modulación PWM con inyección de su tercer armónico [1-13].

1.2.3.4 PWM de espacio vectorial (SVM)

A mediados de los 80s la técnica PWM llamada *space vector modulation* (SVM) o modulación de espacio vectorial fue propuesta, debido a que presentaba significantes ventajas sobre la modulación PWM natural y la regularmente muestreada en términos de comportamiento, fácil implementación y máxima razón de transferencia. La modulación de espacio vectorial (SVM) es vista como un método alternativo para determinar los anchos de pulso en la conmutación de los dispositivos de potencia, siendo esta su principal ventaja, ya que la modulación permite la identificación explícita del posicionamiento de los anchos de pulso como un grado de libertad adicional que puede ser utilizado para una ganancia en el comportamiento armónico de la señal de salida.

El principio de la modulación de espacio vectorial se basa en la transformación de las combinaciones de la conmutación de los transistores del inversor bajo estudio a un plano d - q [1-15], estas combinaciones generan vectores estacionarios y neutros de voltaje, los cuales son situados dentro del plano d - q dependiendo de su posición angular ω_0 , produciendo n cantidad de sectores. Las proyecciones de los vectores locales en un sector generan un vector arbitrario de voltaje \vec{V}_0^* , este vector arbitrario proporciona un grado de libertad a la modulación de espacio vectorial, ya que mediante este vector se realiza la variación de la amplitud de la componente fundamental del voltaje de salida.

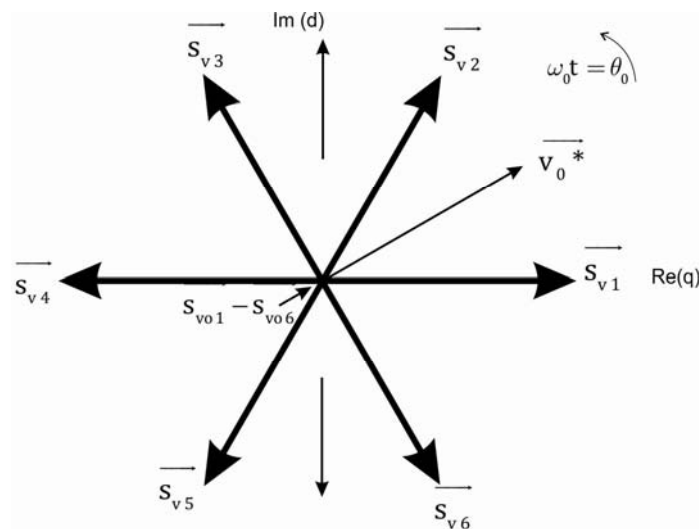


Figura 1.10 Plano complejo d - q para un inversor trifásico

La Figura 1.10 muestra el plano d-q para un inversor trifásico, en donde se encuentran localizados 12 combinaciones de la conmutación de los transistores, donde $\vec{s}_{v1} - \vec{s}_{v6}$ son considerados vectores estacionarios de voltaje, mientras que $\vec{s}_{v01} - \vec{s}_{v06}$ son vectores neutros de voltaje.

1.3 Inversor híbrido multiniveles propuesto

La Figura 1.11, muestra el diagrama del inversor híbrido de siete niveles de voltaje el cual fue desarrollado anteriormente en el modo de 7 niveles [1-16] y 7 niveles PWM [1-17]. La topología de este convertidor está basada en un rectificador, el cuál fue desarrollado previamente para aplicaciones aeroespaciales, [1-18]. Este convertidor en contraste con las topologías descritas en la Sección 1.2.2 de este capítulo, presenta la ventaja de generar formas de onda de 7 niveles con un menor número de dispositivos de conmutación debido a la utilización del transformador en conexión delta – estrella.

El inversor híbrido multiniveles está formado principalmente por un suministro de voltaje de corriente directa, un filtro de entrada, un arreglo de dos puentes inversores trifásicos conectados en serie, un transformador en conexión delta-estrella [1-19] con una razón de transformación $\sqrt{3}:1$ y un filtro LC para reducir el contenido armónico de las formas de onda de salida.

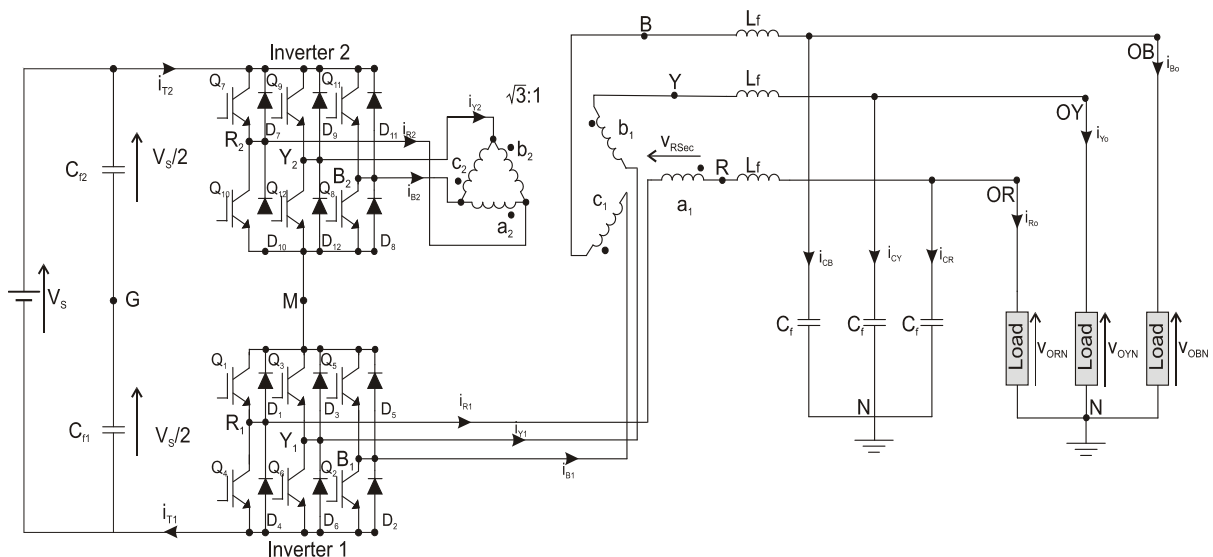


Figura 1.11 Inversor híbrido multiniveles

A lo largo de esta sección se hace una breve descripción de los modos de operación de 7 niveles y 7 niveles PWM, ya que en los capítulos posteriores de esta tesis se examina la ampliación del

control de este convertidor utilizando una técnica de modulación de espacio vectorial de ancho de pulso.

1.4 Modos de operación comúnmente empleados en el inversor híbrido multiniveles

1.4.1 Modo de operación de 7 niveles

El principio de operación del inversor híbrido en el modo de 7 niveles está basado en los circuitos equivalentes de las figuras 1.12(a), (b) y (c), y en las formas de onda de voltaje de la Figura 1.13, asumiendo que el inversor opera en estado estable y en condiciones ideales.

El circuito equivalente de la Figura 1.12(a) muestra los dos puentes inversores trifásicos del circuito original representados por los transistores, Q_L y Q_H , que son considerados activos siempre que ambos transistores de una rama inversora estén encendidos simultáneamente, y se considerarán desactivados en cualquier otro caso; los diodos de marcha libre, D_L y D_H , que están conectados en anti-paralelo con los transistores Q_L y Q_H y conectados en paralelo a las fuentes de corriente i_1 e i_2 , se asumirán activos siempre y cuando exista una reversión de corriente en la rama inversora correspondiente, y por último, las fuentes de corriente i_1 e i_2 , que son equivalentes a las corrientes de salida de ambos inversores, y son causadas por la conmutación de los transistores.

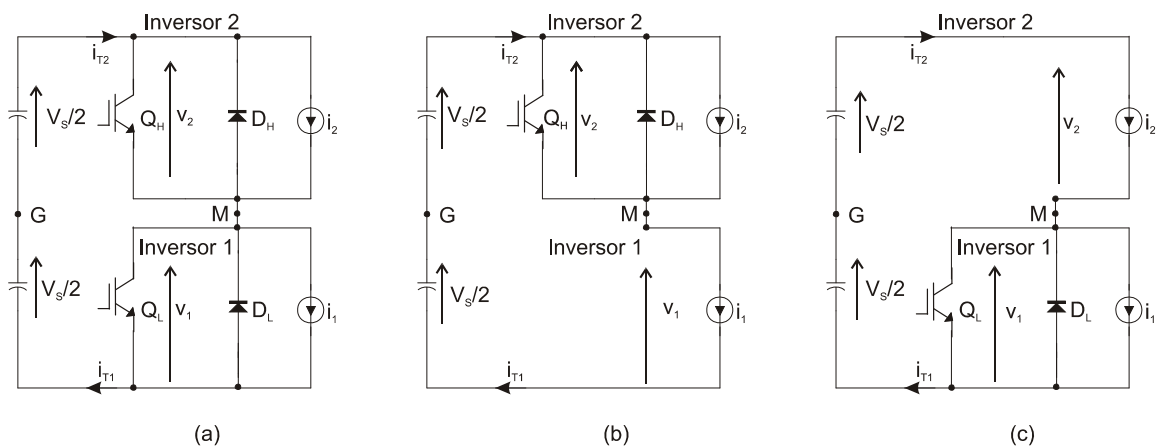


Figura 1.12 Circuitos equivalentes del inversor híbrido multiniveles. (a) Circuito equivalente; (b) Configuración I; (c) Configuración II [1-16]

La Figura 1.13, muestra en la parte superior las señales de control de los transistores Q_L y Q_H , v_{ge-L} y v_{ge-H} respectivamente, que son un tren de pulsos complementarios, con un periodo de $\pi/3$ y un ciclo de trabajo del 50%. En la misma figura se pueden observar los voltajes del inversor inferior y superior, v_2 y v_1 , que de acuerdo con las señales de control son formas de onda cuadradas. En la

parte baja de la Figura 1.13 se muestra el voltaje entre el punto medio de los puentes inversores, M , y el punto medio del riel de CD, G , v_{MG} .

Inicialmente, el circuito se encuentra en la configuración I, Figura 1.12 (b). Durante esta configuración, el transistor Q_L se encuentra encendido, mientras que Q_H se encuentra apagado, permitiendo que la corriente i_2 fluya libremente al suministro y sujetando los voltajes v_1 a $+V_s$, v_2 a cero, y v_{MG} a $-V_s/2$, como es mostrado en las formas de onda de la Figura 1.13. El diodo D_L se considera en estado de conducción en caso de que la corriente i_2 se revierta.

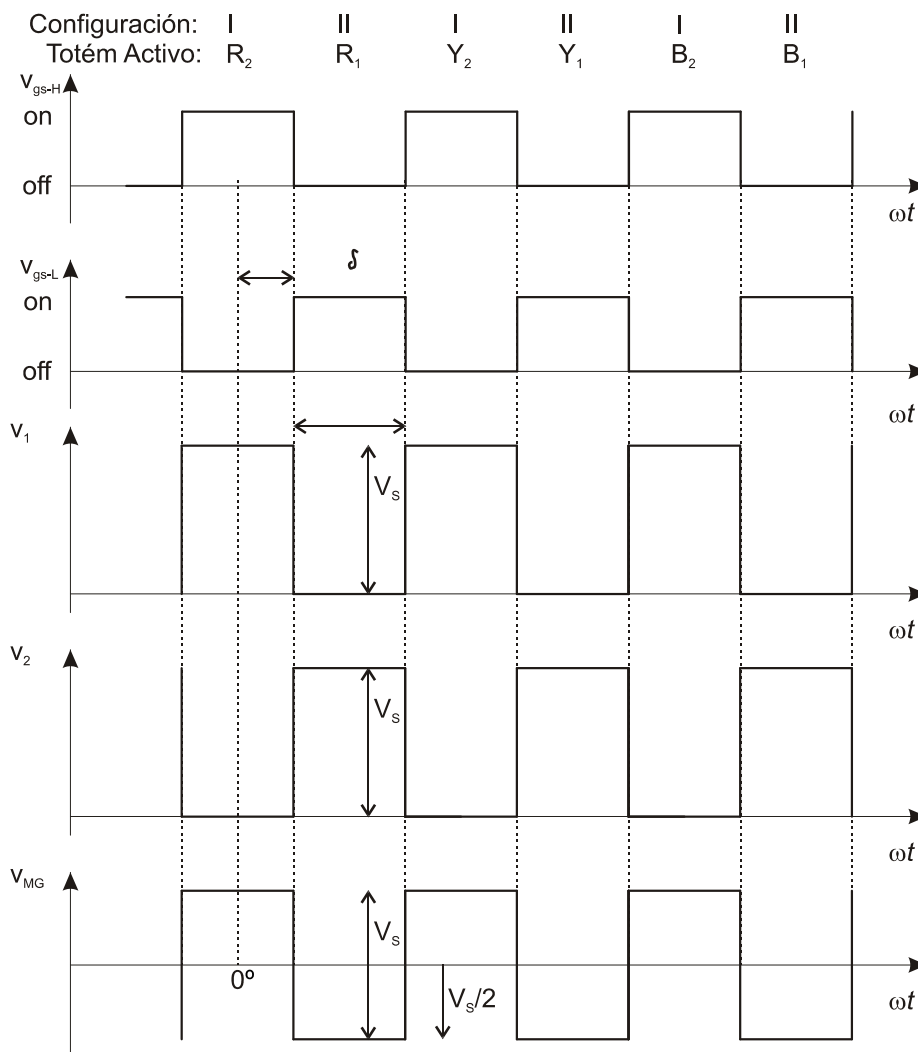


Figura 1.13 Formas de onda obtenidas mediante el análisis de los circuitos equivalentes del inversor híbrido [1-16].

La configuración I termina cuando Q_L es desactivado, dando paso a la configuración II, Figura 1.12(c) cuando Q_H es activado. El circuito equivalente de esta configuración, es un circuito espejo de la configuración I, provocando que v_2 tenga un voltaje de $+V_s$, v_1 sea cero, y v_{MG} tenga $+V_s/2$ como se observa en las formas de onda de la Figura 1.13. De manera similar que en la configuración I, el diodo D_H se considera, en caso de que la corriente i_2 revierta su dirección de flujo. Esta configuración termina una vez que el transistor Q_H es desactivado para regresar a la configuración I.

1.4.1.1 Formas de onda ideales

La Figura 1.14 muestra en la parte superior la forma de onda v_{MG} , la cual muestra un comportamiento pulsante que va desde $-V_s/2$ hasta $+V_s/2$ con una frecuencia seis veces mayor que la frecuencia de la forma de onda v_{RN} . En la misma figura se observan los voltajes de salida del inversor con respecto al riel de CD mostrados como v_{R1G} , v_{Y1G} y v_{B1G} . Estos voltajes involucran tres ciclos de la forma v_{MG} durante π radianes y posteriormente se mantienen constantes en $-V_s/2$ durante el resto del periodo. En la parte central de la Figura 1.14 se muestra la forma de onda v_{R1N} la cual es obtenida eliminando el voltaje en modo común mediante la expresión (1.1).

$$\begin{bmatrix} v_{R1N} \\ v_{Y1N} \\ v_{B1N} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{R1G} \\ v_{Y1G} \\ v_{B1G} \end{bmatrix} \quad (1.1)$$

Los voltajes de salida del puente inversor superior, v_{R2G} y v_{B2G} , son mostrados como la sexta y séptima formas de onda de la misma figura, se observa que estos voltajes tienen un comportamiento similar a los voltajes del inversor inferior. La penúltima forma de onda mostrada en la Figura 1.14 es el voltaje presente en el devanado secundario del transformador, v_{Rsec} , el cual es obtenido mediante la expresión (1.2)

$$v_{Rsec} = \frac{1}{\sqrt{3}}(v_{R2G} - v_{B2G}) \quad (1.2)$$

Por último en la parte baja de la misma figura se muestra el voltaje de 7 niveles v_{RN} , el cual es obtenido a través de la siguiente ecuación.

$$v_{RN} = v_{R1N} + v_{Rsec} \quad (1.3)$$

La siguiente sección describe el modo en que los transistores del convertidor deben ser controlados para producir el voltaje v_{RN} .

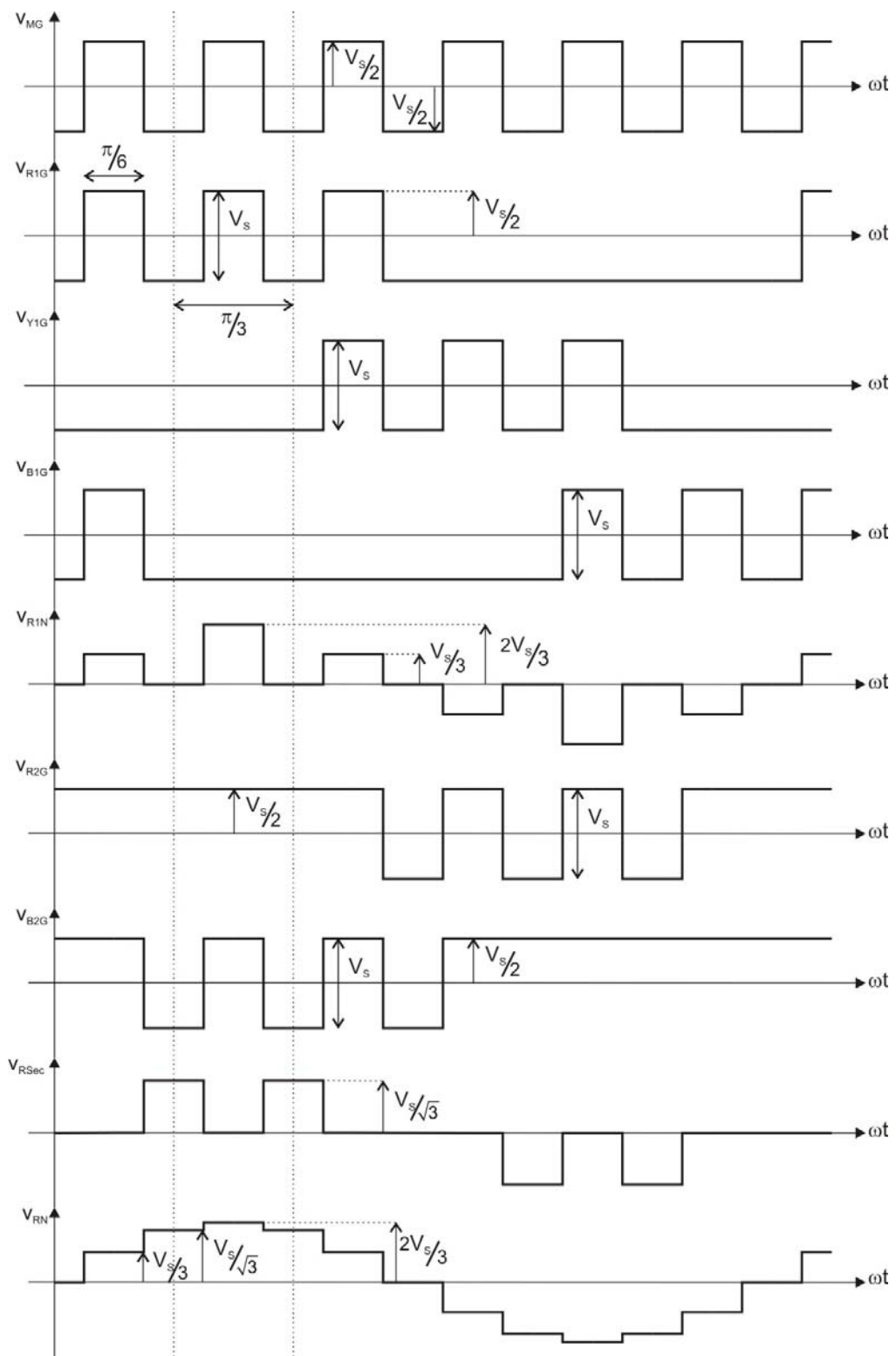


Figura 1.14 Formas de onda ideales obtenidas en el modo de operación de 7 niveles [1-16].

1.4.1.2 Señales de control

La Figura 1.15 presenta las señales de control de los transistores del circuito inversor en el modo de 7 niveles. En la Figura 1.15(a) se muestran las señales de control del inversor inferior, las cuales permanecen activas cada $7\pi/12$, además se puede observar que este grupo de señales están desfasadas $\pi/3$ una con respecto a la otra. En contraste la Figura 1.15 (b) muestra las señales de control del inversor superior, las cuales presentan el mismo comportamiento que las del inversor inferior pero este grupo de señales está adelantado $\pi/6$ con respecto al grupo de señales del inversor inferior. Por último en la parte inferior de la misma figura se muestra la forma de onda v_{MG} la cual es generada a través de la conmutación entre las configuraciones I y II del circuito equivalente del inversor.

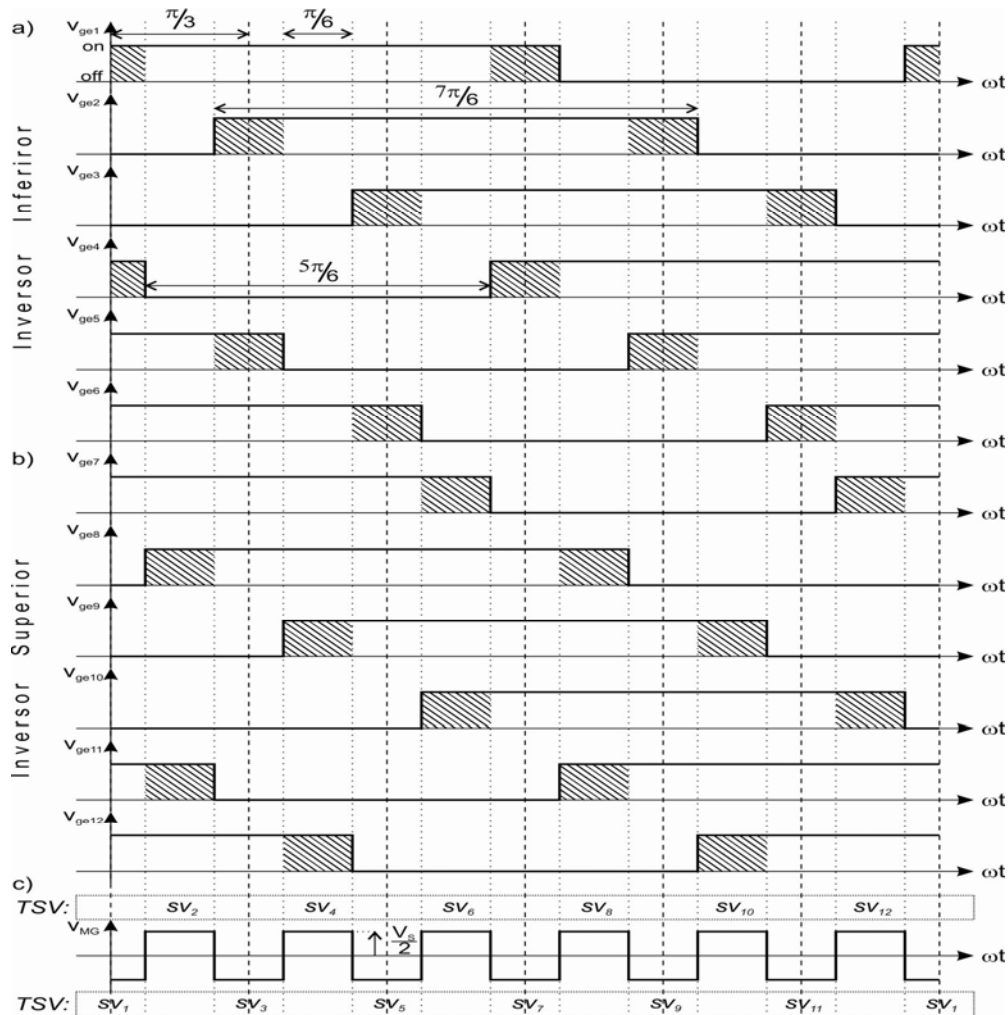


Figura 1.15 Señales de control de los inversores inferior y superior para el modo de operación de 7 niveles

[1-16].

Se puede observar que las señales de control están divididas en doce secciones de $\pi/6$, sv_1 a sv_{12} , llamadas Vectores de Estado de los Transistores, los cuales contienen las combinaciones de apagado y encendido para cada transistor en función de las configuraciones I y II del circuito equivalente, generando los distintos niveles de voltaje a la salida del convertidor. La Tabla 1.1 inicialmente muestra las configuraciones I y II del circuito equivalente, después lista los doce vectores de estado de los transistores en conjunto con los niveles de voltaje producidos a la salida del inversor.

Tabla 1.1. Vectores de Estado de los Transistores y Voltajes de Salida en el modo de 7 niveles [1-16].

Config.	Vectores de Estado de los Transistores	Q_{12}	Q_{11}	Q_{10}	Q_9	Q_8	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Voltajes de Salida		
														V_{RN}	V_{YN}	V_{BN}
I	sv_1	1	1	0	0	0	1	1	1	1	0	0	1	0	$-V_s/\sqrt{3}$	$+V_s/\sqrt{3}$
II	sv_2	1	1	0	0	1	1	1	1	0	0	0	1	$+V_s/3$	$-2V_s/3$	$+V_s/3$
I	sv_3	1	0	0	0	1	1	1	1	0	0	1	1	$+V_s/\sqrt{3}$	$-V_s/\sqrt{3}$	0
II	sv_4	1	0	0	1	1	1	1	0	0	0	1	1	$+2V_s/3$	$-V_s/3$	$-V_s/3$
I	sv_5	0	0	0	1	1	1	1	0	0	0	1	1	$+V_s/\sqrt{3}$	0	$-V_s/\sqrt{3}$
II	sv_6	0	0	1	1	1	1	0	0	0	0	1	1	$+V_s/3$	$+V_s/3$	$-2V_s/3$
I	sv_7	0	0	1	1	1	0	0	0	1	1	1	1	0	$+V_s/\sqrt{3}$	$-V_s/\sqrt{3}$
II	sv_8	0	1	1	1	1	0	0	0	1	1	1	0	$-V_s/3$	$+2V_s/3$	$-V_s/3$
I	sv_9	0	1	1	1	0	0	0	1	1	1	1	0	$-V_s/\sqrt{3}$	$+V_s/\sqrt{3}$	0
II	sv_{10}	1	1	1	1	0	0	0	1	1	1	0	0	$-2V_s/3$	$+V_s/3$	$+V_s/3$
I	sv_{11}	1	1	1	0	0	0	1	1	1	1	0	0	$-V_s/\sqrt{3}$	0	$+V_s/\sqrt{3}$
II	sv_{12}	1	1	1	0	0	1	1	1	1	0	0	0	$-V_s/3$	$-V_s/3$	$+2V_s/3$

1.4.2 Modo de operación de 7 niveles PWM

El modo de operación de siete niveles de voltaje PWM se logra alternando las Configuraciones I y II, Figura 1.12(a), (b), (c), en alta frecuencia y de acuerdo con la modulación por ancho de pulso como se describe a continuación [1-20].

1.4.2.1 Formas de onda ideales

La Figura 1.16 muestra las formas de onda ideales del circuito equivalente de la Figura 1.12(a), (b), (c). En la parte superior de la Figura 1.16, se muestra la señal de control del transistor Q_L , v_{ge-L} , la cual está conformada por tres periodos de $\pi/3$, durante los cuales un rama del inversor inferior, B_1 , Y_1 y R_1 , se encuentra alternando su estado de activo a inactivo de acuerdo con el esquema de modulación PWM. En contraste se muestra en la misma figura la señal de control, v_{ge-H} ,

correspondiente al transistor Q_H , la cual es complementaria a la señal v_{ge-L} . Los periodos de operación de las ramas del inversor superior e inferior son desfasados $\pi/6$ radianes. En la parte central de la Figura 1.16 se observan los voltajes v_1 y v_2 , producidos por la conmutación entre la configuración I y II del circuito equivalente del inversor híbrido.

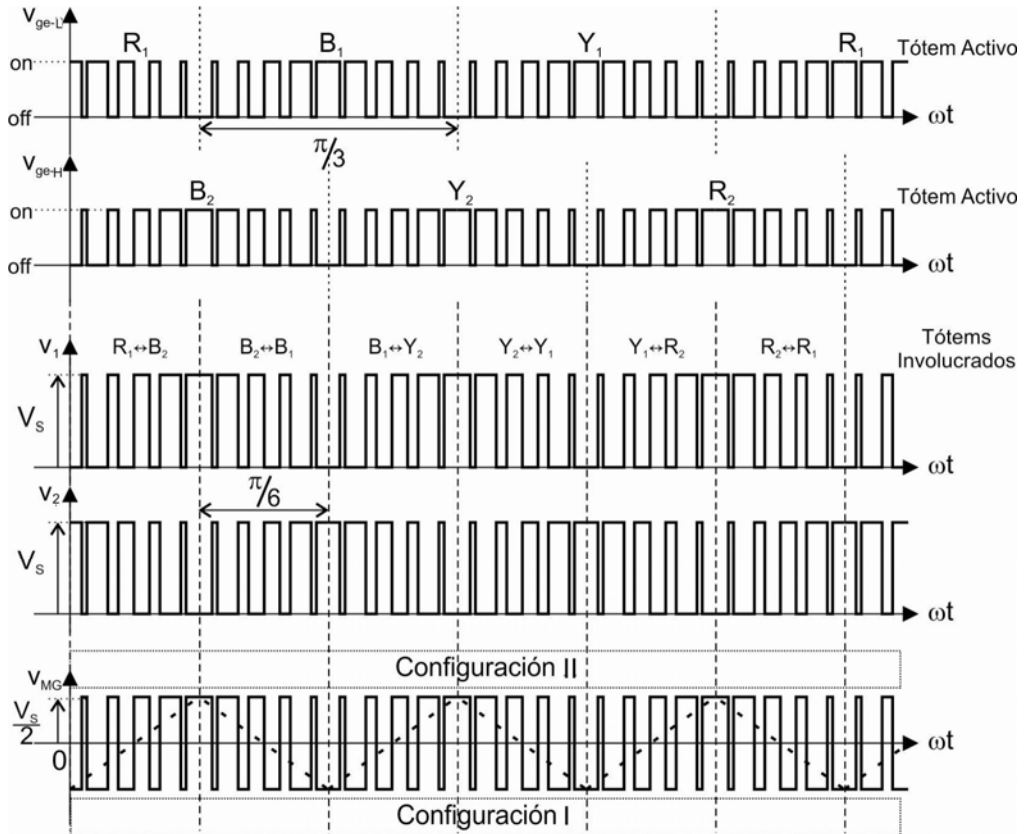


Figura 1.16 Formas de onda obtenidas mediante el análisis de los circuitos equivalentes del inversor híbrido en el modo de 7 niveles PWM [1-20]

Por último, en la parte baja de la misma figura se muestra se muestra la forma de onda de voltaje entre el punto medio del riel de CD, G , y el punto medio entre los inversores, M , v_{MG} . Este voltaje es $\pm V_s/2$ debido a que el inversor se encuentra oscilando entre en la Configuración I y la Configuración 2 respectivamente.

Por otra parte, la portadora que se utilizó en la modulación PWM es una forma de onda triangular con amplitud $+V_s/2$ como puede observar en la Figura 1.16; la determinación de la portadora es descrita en [1-17].

La Figura 1.17 muestra las formas de onda ideales obtenidas empleando la modulación PWM en conjunto con el análisis de las señales mostrado en la sección anterior de este capítulo.

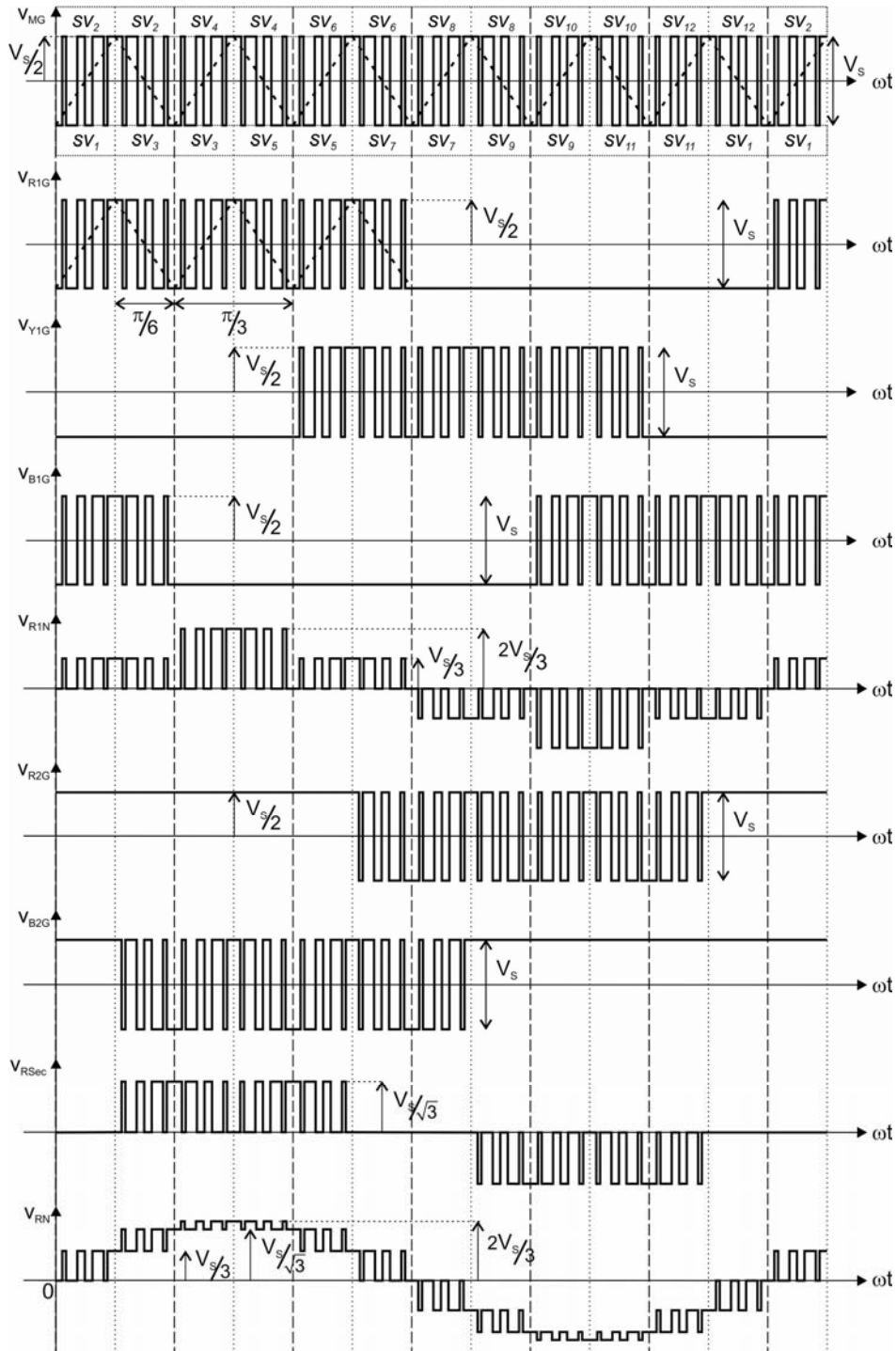


Figura 1.17 Formas de onda ideales obtenidas en el modo de operación de 7 niveles PWM [1-17].

1.4.2.2 Señales de control

En la sección anterior de este capítulo se muestra la Tabla 1.1 la cual asocia a cada configuración del circuito equivalente de la operación de siete niveles con un vector de estado de los transistores, debido a que las configuraciones del circuito equivalente son idénticas para el modo de operación de siete niveles y 7 niveles PWM, la deducción de las señales de control se realiza de la siguiente manera.

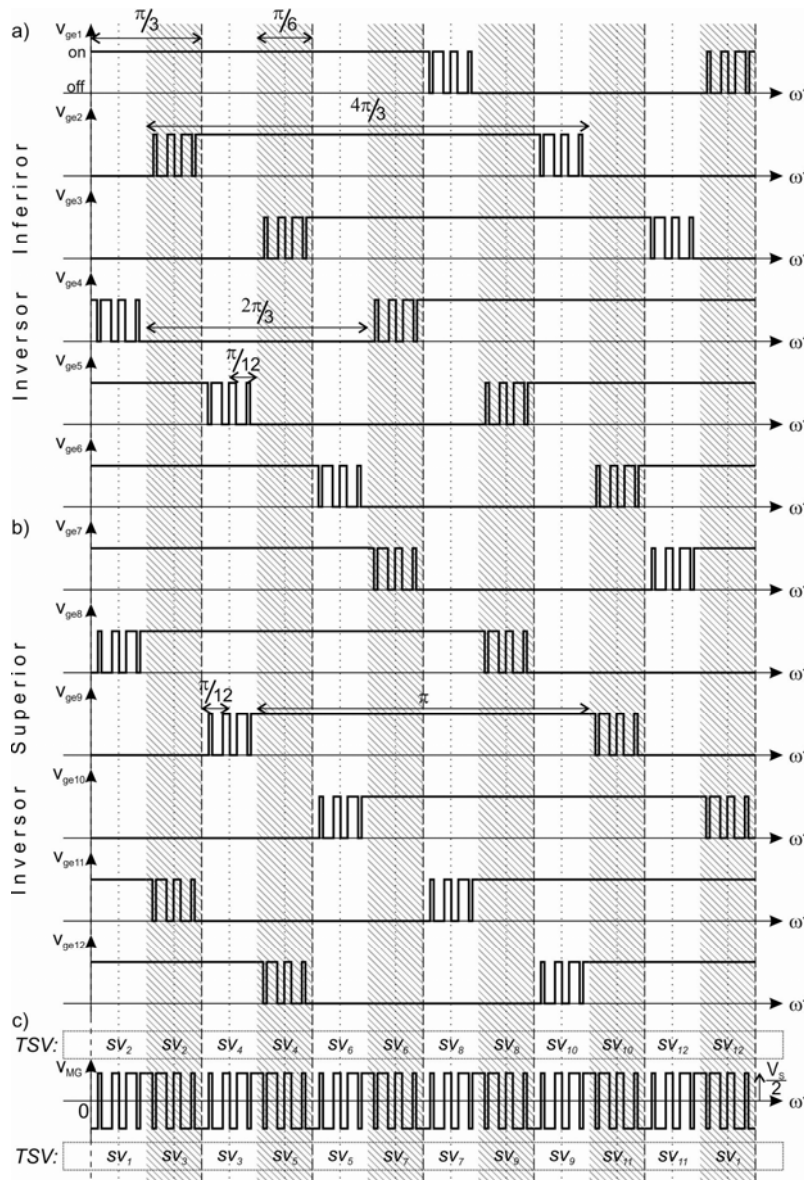


Figura 1.18 Señales de control de los inversores inferior y superior para el modo de operación de 7 niveles PWM [1-20]

La operación del inversor híbrido en el modo de 7 niveles PWM se logra alternando el circuito equivalente entre las configuraciones I y II en alta frecuencia y siguiendo el esquema de modulación durante fracciones de tiempo de $\pi/6$ radianes para involucrar a distintas ramas inversoras.

La Figura 1.18 muestra las señales de control del inversor inferior y superior respectivamente, estas al igual que las señales de control en el modo de 7 niveles están retrasadas $\pi/3$ una con respecto a otra y además las señales del grupo superior está adelantado $\pi/6$ radianes respecto al grupo inferior. Estas señales en contraste con las señales empleadas para la operación de siete niveles, tienen un tiempo de conmutación extendido de $\pi/6$, de modo que transcurre un periodo de $\pi/12$ mas antes de ser activados y $\pi/12$ después de ser desactivados. Finalmente, la Figura 1.18(c) muestra la forma de onda de voltaje v_{MG} .

1.5 Resumen del Estado del Arte

A lo largo de este capítulo se mostró de forma general los tipos de inversores que actualmente son utilizados para aplicaciones en el control de motores, sistemas ininterrumpidos de energía (*UPS*), distribución de energía eléctrica para sistemas de transporte, aeronaves, entre otras. Se presentaron las técnicas de modulación de ancho de pulso comúnmente empleadas para el control de estos inversores, así mismo se describió la composición básica del inversor híbrido multiniveles y los modos de operación de 7 niveles y 7 niveles PWM anteriormente desarrollados.

1.6 Motivación para realizar el proyecto

De acuerdo con los trabajos de investigación anteriormente realizados, el inversor híbrido multiniveles tiene la capacidad de generar formas de onda de voltaje de salida de 7 niveles y 7 niveles PWM con baja distorsión armónica, sin embargo, estos modos de operación no permiten variar la amplitud del voltaje de salida. Es por tal motivo que se propone implementar una técnica PWM para mejorar el desempeño del convertidor teniendo una distorsión armónica mínima de bajo orden y obtener formas de onda en las cuales se permita variar la amplitud de la fundamental del voltaje de salida.

1.7 Principales objetivos del proyecto

Los objetivos del trabajo de investigación propuestos en esta tesis son citados a continuación:

Implementar una estrategia de control PWM de espacio vectorial para el inversor híbrido multiniveles y así poder variar la amplitud de la componente fundamental del voltaje de salida. Eliminar armónicos de bajo orden para obtener una THD del 0% en el voltaje de salida y disminuir las desventajas y fallas presentadas en el prototipo anterior.

1.8 Descripción de la tesis

En esta tesis se muestra el principio de funcionamiento del convertidor híbrido multiniveles en el modo de operación de siete niveles con una Modulación de Espacio Vectorial de Ancho de Pulso. La tesis está compuesta por 6 capítulos, en donde, el Capítulo 1 presenta un breve marco teórico de la clasificación de los inversores de potencia, así como las técnicas PWM para su control, también se muestra la descripción general del inversor híbrido en conjunto con los modos de operación anteriormente desarrollados sobre el mismo. El Capítulo 2 presenta la descripción teórica del inversor híbrido multiniveles en el modo de operación de 7 niveles SVPWM partiendo de las operaciones básicas del inversor en los modos de siete niveles y 7 niveles PWM. En el Capítulo 3 se realiza un algoritmo de control para validar la operación teórica del inversor con dicha modulación, mientras que el Capítulo 4 se describe el diseño y construcción del prototipo inversor con capacidad de 1kw, partiendo de las especificaciones y parámetros de operación del mismo para la selección correcta de cada componente. Los resultados experimentales obtenidos con el prototipo construido para los modos de operación de 7 niveles, 7 niveles PWM y 7 niveles SVPWM son presentados en el Capítulo 5 y finalmente el Capítulo 6 describe las observaciones y las conclusiones obtenidas durante el desarrollo del trabajo de investigación realizado.

1.9 Referencias

- [1-1] Bose, B.; "Power Electronics and Variable Frequency Drives: Technology and Applications " 1997 .
- [1-2] Mohan, Undeland, and Robbins; "Power Electronics- converter applications and designed", 1995.

- [1-3] Timothy L. Skvarenina, "The Power Electronics Handbook," *Purdue University*, 2002.
- [1-4] Jie Chang; Jun Hu;"Modular design of soft-switching circuits for two-level and three-level inverters" in IEEE Transactions on Power Electronics,Volume : 21 , Issue:1, pp: 131 - 139. Jan. 2006.
- [1-5] C. Hochgraf, R.H. Lassefer, D.M. Divan, and T.A. Lipo, "Comparison of multilevel Inverters for Static Var Compensation," Research Report 94-26, Wisconsin Power Electronics Center, University of Wisconsin-Madison, 1994.
- [1-6] Cassiano Rech, Humberto Pinheiro, Hilton A. Grindling, HClío L. Hey and JosC R. Pinheiro, "Analysis and Comparison of Hybrid Multilevel Voltage Source Inverters," Power Electronics and Control Research Group – GEPOC.
- [1-7] A Pandey, B Singh, B N Singh, A Chandra, K Al-Haddad and D P Kothari, "A Review of Multilevel Power Converters" IE (I) Journal.EL, Vol 86, March 2006.
- [1-8] Mingyao Ma ; Lei Hu ; Alian Chen ; Xiangning He;"Reconfiguration of Carrier-Based Modulation Strategy for Fault Tolerant Multilevel Inverters" in IEEE Transactions on Power Electronics,Volume: 22 , Issue: 5, 2007.
- [1-9] F. Peng, "A generalized multilevel inverter topology with self voltage balancing," IEEE Trans. Ind. Appl., Mar.2001, vol. 37, no. 2, pp. 611-618.
- [1-10] Rech, C.; Pinheiro, H.; Grundling, H.A.; Hey, H.L.; Pinheiro, J.R.; "Analysis and comparison of hybrid multilevel voltage source inverters" Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual.
- [1-11] M. Manjrekar and T. Lipo, "A hybrid multilevel inverter topology for drive applications," in Proc. IEEE Appl. Power Electron. Conf., 1998, vol. 2, pp. 523-529.
- [1-12] M. Manjrekar, P. Steimer, and T. Lipo, "Hybrid multilevel power conversion system: A competitive solution for high-power applications," IEEE Trans. on Ind. Appl., May 2000, vol. 36, no. 3, pp. 834-841.
- [1-13] D. G. Holmes and T. A. Lipo, *Pulse Width Modulation For Power Converters Principles and Practice*: Wiley Interscience, 2003.
- [1-14] V. Kumar C; Jovitha J; J.Karpagam; T. Suresh; "Control Techniques for Multilevel Voltage Source Inverters" Power Engineering Conference, 2007.
- [1-15] Barbi, I.; Batista, F.A.B.;"Space Vector Modulation for Two-Level Unidirectional PWM Rectifiers" in IEEE Transactions on Power Electronics, Volume: 25 , pp:178 - 187, 2010.

- [1-16] MONDRAGÓN ESCAMILLA, Nancy; “Análisis, diseño y construcción de un inversor multiniveles de 1 kW para futuros medios de transporte”, Director: Dr. Ismael Araujo Vargas, Sección de Estudios de Posgrado e Investigación – ESMIE Culhuacan – IPN, 2010.
- [1-17] Villarruel-Parra Alejandro, “Técnicas de control PWM para un convertidor multiniveles híbrido”, Sección de estudios de posgrado e investigación, unidad Culhuacan.
- [1-18] Araujo-Vargas, I. Forsyth, A.J. Chivite-Zabalza, F.J., “High-Performance Multipulse Rectifier With Single-Transistor Active Injection,” in *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1299 – 1308, May 2008.
- [1-19] Mondragón-Escamilla, N.; Villarruel-Parra, A.; Araujo-Vargas, I.; Sanchez-Garcia J.C., “Design and Construction of a Three-Phase Transformer for a 1 kW Multi-level Converter,” in *Proceedings of International Conference On Electrical, Communications and Computers*, Cholula, Puebla, Feb. 26 – 28, 2009, pp. 74-78.
- [1-20] Villarruel-Parra, A.; Araujo-Vargas, I.; Mondragón-Escamilla, N.; Forsyth, J.C.; “Control of a hybrid seven level inverter,” Power Electronics Congress CIEP, San Luis Potosí, Mexico, 2010.

CAPÍTULO 2

MODULACIÓN DE ESPACIO VECTORIAL DE ANCHO DE PULSO (SVPWM) PARA UN INVERSOR HÍBRIDO MULTINIVELES

2.1 Introducción

En este capítulo se describe el principio de funcionamiento del convertidor híbrido multiniveles en el modo de operación de siete niveles con una Modulación de Espacio Vectorial de Ancho de Pulso (SVPWM, por sus siglas en inglés Space Vector Pulse Width Modulation). Esta descripción parte del principio de operación del mismo inversor híbrido en el modo simple de siete niveles presentado en la Sección 1.4, Capítulo 1 [2-1]. Después se analiza las formas de onda del voltaje de salida junto con el comportamiento armónico de las mismas. Finalmente se valida la modulación de espacio vectorial comparando las formas de onda teóricas ideales con formas de onda calculadas con un análisis armónico de las mismas.

2.2 Principio de operación del inversor híbrido en el modo de operación de modulación de espacio vectorial de ancho de pulso (SVPWM)

2.2.1 Configuraciones del inversor híbrido multiniveles

La técnica de modulación de espacio vectorial del inversor híbrido de la Figura 2.1 se describe en base al circuito equivalente de la Figura 2.3 y sus configuraciones equivalentes I y II, Figuras 2.3(b) y 2.3(c) que fueron descritos en la Sección 1.4, Capítulo 1.

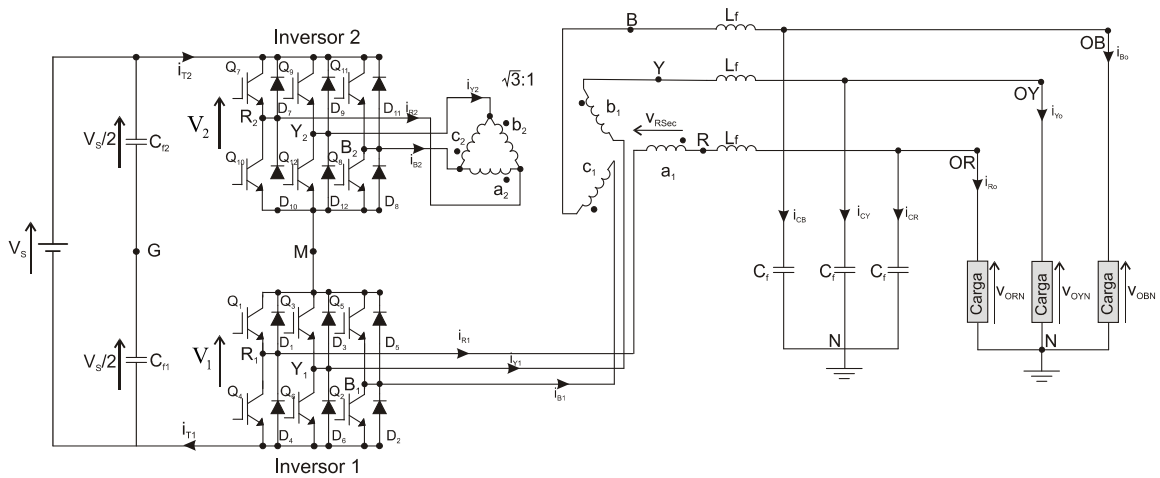


Figura 2.1. Inversor híbrido multiniveles.

La estrategia de modulación de espacio vectorial se basa en el hecho de que existen doce posibles configuraciones básicas del inversor de la Figura 2.1 y que están definidas de acuerdo a los estados para los transistores de los inversores superior e inferior, [2-2], los cuales se listan en la parte alta de la Tabla 2.1, la cual es similar a la Tabla 1.1 de la Sección 1.4.1.2, Capítulo 1.

La Tabla 2.1 presenta los vectores de estado de los transistores, T_{svn} , del circuito de la Figura 2.1, donde n es el número de modo del circuito inversor; también se muestran los vectores de voltaje de salida de los inversores inferior y superior, $\vec{v}_B = [v_{R1G}, v_{Y1G}, v_{B1G}]^T$ y $\vec{v}_T = [v_{R2G}, v_{Y2G}, v_{B2G}]^T$, respectivamente, en conjunto con el vector de voltaje de salida, $\vec{v}_0 = [v_{RN}, v_{YN}, v_{BN}]^T$, referido al nodo N del circuito de CA. Este vector de voltaje se calcula con la expresión (2.1):

$$\vec{v}_0 = T_{XFMR} \vec{v}_T + T_{CD-CA} \vec{v}_B \quad (2.1)$$

donde las matrices:

$$T_{XFMR} = \frac{1}{\sqrt{3}} \begin{bmatrix} 1 & 0 & -1 \\ -1 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \text{ y } T_{CD-CA} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix}$$

son las matrices correspondientes a la transformación delta-estrella y a la eliminación del voltaje de modo común del inversor [2-3].

Tabla 2.1 Vectores de estado de los transistores para las configuraciones del circuito de la Figura 2.1 y sus referencias a los circuitos de CD y CA normalizados respecto al voltaje de suministro

Modo(n)	Inversor 1						Inversor 2						Salidas del inversor 1 respecto al riel de CD			salidas del inversor 2 respecto al riel de CD,			Voltajes de fase con respecto al nodo central de las cargas			v_{MG}/v_s
	T_{SV_n}												\bar{v}_B/v_s			\bar{v}_T/v_s			\bar{v}_O/v_s			
	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉	Q ₁₀	Q ₁₁	Q ₁₂	V _{R1G}	V _{Y1G}	V _{B1G}	V _{R2G}	V _{Y2G}	V _{B2G}	V _{RN}	V _{YN}	V _{BN}	
1	1	1	0	0	0	1	1	1	1	0	0	1	1/2	-1/2	-1/2	1/2	1/2	1/2	0	-1/√3	1/√3	1/2
2	1	1	1	0	0	1	1	1	1	0	0	0	-1/2	-1/2	-1/2	1/2	1/2	-1/2	1/3	-2/3	1/3	-1/2
3	1	1	1	0	0	0	1	1	1	1	0	0	1/2	1/2	-1/2	1/2	1/2	1/2	-1/√3	-1/√3	0	1/2
4	1	1	1	1	0	0	0	1	1	1	0	0	-1/2	-1/2	-1/2	-1/2	1/2	-1/2	2/3	-1/3	-1/3	-1/2
5	0	1	1	1	0	0	0	1	1	1	1	0	-1/2	1/2	-1/2	1/2	1/2	1/2	1/√3	0	-1/√3	1/2
6	0	1	1	1	1	0	0	0	1	1	1	0	-1/2	-1/2	-1/2	-1/2	1/2	1/2	1/3	1/3	-2/3	-1/2
7	0	0	1	1	1	0	0	0	1	1	1	1	-1/2	1/2	1/2	1/2	1/2	1/2	0	1/√3	-1/√3	1/2
8	0	0	1	1	1	1	0	0	0	1	1	1	-1/2	-1/2	-1/2	-1/2	-1/2	1/2	-1/3	2/3	-1/3	-1/2
9	0	0	0	1	1	1	1	0	0	1	1	1	-1/2	-1/2	1/2	1/2	1/2	1/2	-1/√3	1/√3	0	1/2
10	1	0	0	1	1	1	1	0	0	0	1	1	-1/2	-1/2	-1/2	1/2	-1/2	1/2	-2/3	1/3	1/3	-1/2
11	1	0	0	0	1	1	1	1	0	0	1	1	1/2	-1/2	1/2	1/2	1/2	1/2	-1/√3	0	1/√3	1/2
12	1	1	0	0	1	1	1	1	0	0	0	1	-1/2	-1/2	-1/2	1/2	-1/2	-1/2	-1/3	-1/3	2/3	-1/2
01	1	0	1	0	1	0	1	1	1	0	0	1	1/2	1/2	1/2	1/2	1/2	1/2	0	0	0	1/2
02	1	1	1	0	0	1	0	1	0	1	0	1	-1/2	-1/2	-1/2	-1/2	-1/2	-1/2	0	0	0	-1/2
03	1	0	1	0	1	0	1	1	1	1	0	0	1/2	1/2	1/2	1/2	1/2	1/2	0	0	0	1/2
04	1	1	1	1	0	0	0	1	0	1	0	1	-1/2	-1/2	-1/2	-1/2	-1/2	-1/2	0	0	0	-1/2
05	1	0	1	0	1	0	0	1	1	1	1	0	1/2	1/2	1/2	1/2	1/2	1/2	0	0	0	1/2
06	0	1	1	1	1	0	0	1	0	1	0	1	-1/2	-1/2	-1/2	-1/2	-1/2	-1/2	0	0	0	-1/2
07	1	0	1	0	1	0	0	0	1	1	1	1	1/2	1/2	1/2	1/2	1/2	1/2	0	0	0	1/2
08	0	0	1	1	1	1	0	1	0	1	0	1	-1/2	-1/2	-1/2	-1/2	-1/2	-1/2	0	0	0	-1/2
09	1	0	1	0	1	0	1	0	0	1	1	1	1/2	1/2	1/2	1/2	1/2	1/2	0	0	0	1/2
010	1	0	0	1	1	1	0	1	0	1	0	1	-1/2	-1/2	-1/2	-1/2	-1/2	-1/2	0	0	0	-1/2
011	1	0	1	0	1	0	1	1	0	0	1	1	1/2	1/2	1/2	1/2	1/2	1/2	0	0	0	1/2
012	1	1	0	0	1	1	0	1	0	1	0	1	-1/2	-1/2	-1/2	-1/2	-1/2	-1/2	0	0	0	-1/2

En conjunto con los vectores de voltaje de salida de la Tabla 2.1, se presenta el voltaje v_{MG} en la parte derecha de la misma tabla causada para cada modo. Los primeros 12 modos de la Tabla 2.1 causan voltajes de salida diferentes a cero. Por ejemplo, los modos M_1 y M_2 , que son mostrados en

las Figuras 2.2(a) y 2.2(b) de acuerdo al estado de los transistores, $T_{sv_{01}}$ y $T_{sv_{02}}$, corresponden a las configuraciones de los circuitos equivalentes I y II de las Figuras 2.3(a) y 2.3(b) provocando el voltaje v_{MG} indicado en la misma tabla y a su vez, los voltajes de salida respecto al nodo N del circuito de CA, son también diferentes a cero.

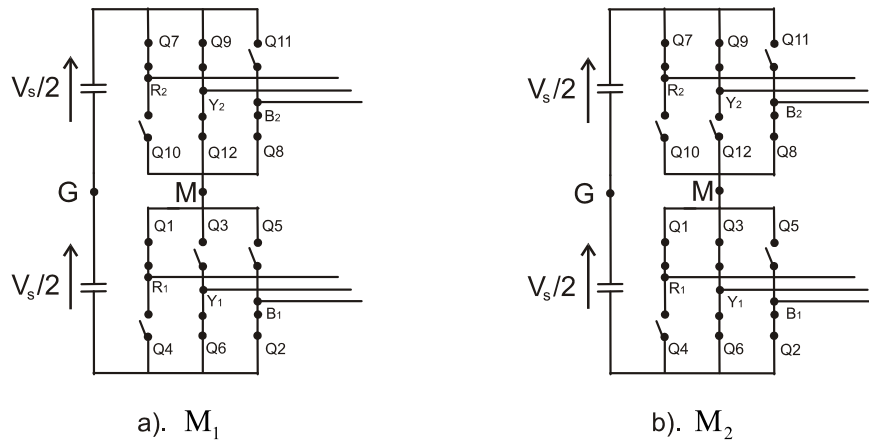


Figura 2.2. (a) Modo M_1 y (b) Modo M_2 , producidos por los vectores de estado T_{sv_1} y T_{sv_2} respectivamente.

El trabajo descrito en [2-2] presenta una estrategia de modulación que alterna periódicamente los modos 1 al 12, del inversor de la Figura 2.1, con el fin de cancelar armónicos característicos de bajo orden; pero la amplitud de la componente fundamental del voltaje de salida era fijo y no podía ser controlado. Un método para poder variar la amplitud de la componente fundamental del voltaje es a través del troceamiento del mismo voltaje de salida; o de otra forma, introduciendo un periodo de voltaje de salida nulo, que en promedio variará la amplitud de la componente fundamental.

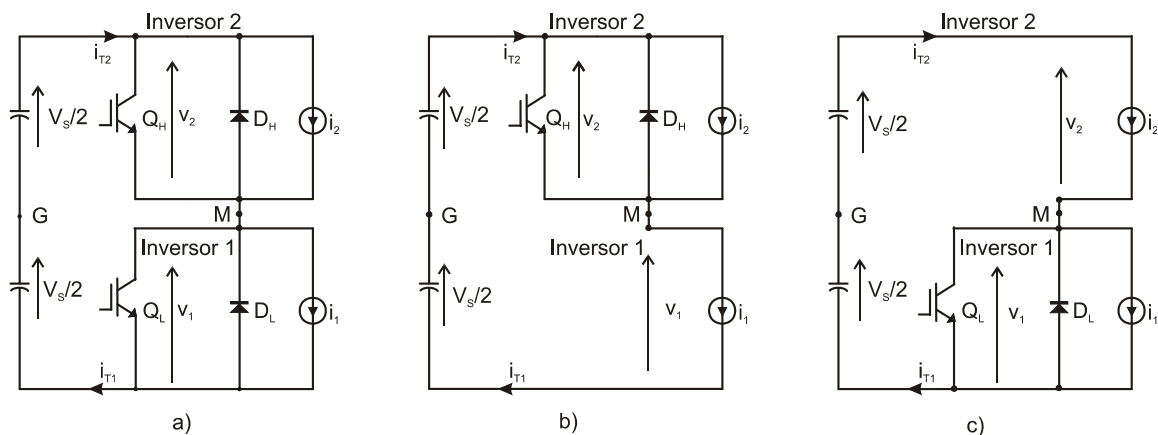


Figura 2.3. Circuitos equivalentes del inversor híbrido multiniveles. (b) Configuración I, (c) Configuración II

Para obtener un vector de voltaje de salida nulo en el circuito de la Figura 2.1, es necesario hacer que los voltajes de salida de cada inversor sean iguales. Esto se justifica a través de la ecuación 2.1. Por ejemplo, observando el circuito del modo M_1 se aprecia que el inversor superior está corto-circuitado por medio de la rama inversora Y_2 , mientras que el inversor inferior puede causar voltajes diferentes a cero. Si los estados de los transistores del inversor inferior fueran puestos de tal manera que produjeran que todos los voltajes de salida fueran iguales, se causaría un voltaje nulo a la salida del inversor. El circuito de la Figura 2.4(a), modo M_{01} , es un ejemplo claro de la producción de voltajes idénticos en todas las salidas del inversor y, de hecho, es la modalidad hermana del modo M_1 , mostrado en la Figura 2.2 (a), que provoca un vector de voltaje neutro a la salida del inversor. En cambio, el modo M_2 de la Figura 2.2 (b) se encuentra corto-circuitado mediante la rama inversora Y_1 provocando que en el inversor superior se produzcan voltajes diferentes a cero. Para generar vectores de voltaje nulos a la salida del inversor en el modo M_2 es necesario el reacomodo del estado de los transistores del inversor superior. La Figura 2.4(b) muestra el modo M_{02} , en el cual el reacomodo del estado de los transistores causa voltajes iguales a la salida de cada inversor, generando un vector de voltaje neutro a la salida del mismo.

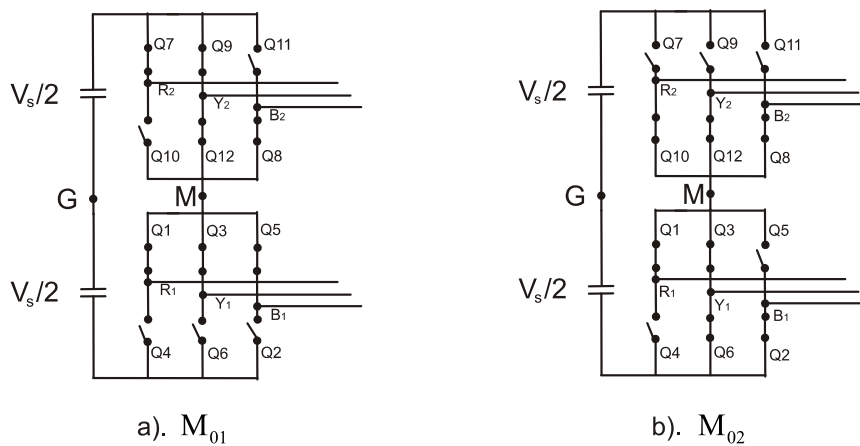


Figura 2.4. Configuraciones neutrales del estado de los transistores. (a) Modo M_{01} , (b) Modo M_{02}

Los circuitos de los modos de operación del inversor M_3 - M_{12} también tienen su modalidad complementaria que causa un vector neutro de voltaje a la salida del inversor, modos M_{03} - M_{012} . La parte baja de la Tabla 2.1 lista los vectores de salida, \vec{v}_B y \vec{v}_T , referidos al nodo central del riel de CD, y con el vector de voltaje de salida \vec{v}_0 referido al nodo neutro del circuito de CA. Las configuraciones equivalentes para cada Modo son presentados en más detalle en el Apéndice A.

2.2.2 Análisis de espacio vectorial del inversor híbrido multiniveles

Las veinticuatro posibilidades que puede formar el vector de voltaje de salida \vec{v}_0 , listadas en la Tabla 2.1, pueden ser transformadas en un plano α - β de espacio vectorial mediante la ecuación de transformación (2.2):

$$V_{(\alpha,\beta)} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_{RN} \\ v_{YN} \\ v_{BN} \end{bmatrix} \quad (2.2)$$

donde $v_{(\alpha,\beta)}$ es el vector de salida en un espacio vectorial de dos dimensiones [2-4]. La Figura 2.5 muestra esta transformación en el plano α - β en donde se presentan los veinticuatro vectores de salida de espacio vectorial, de los cuales los primeros doce vectores, $\vec{sv}_1 - \vec{sv}_{12}$, son considerados vectores estacionarios de voltaje, ya que pertenecen a un punto fundamental dentro del plano α - β . Los otros doce vectores $\vec{sv}_{01} - \vec{sv}_{012}$, son considerados vectores neutros de voltaje, ya que todos ellos están localizados al origen del plano α - β . En el mismo plano α - β de la Figura 2.5 se puede apreciar que la magnitud de los vectores estacionarios de voltaje es $V_M = \frac{2}{3} V_s$, siendo los vectores situados cada 30° a lo largo del plano α - β , produciéndose 12 sectores, S_1 a S_{12} .

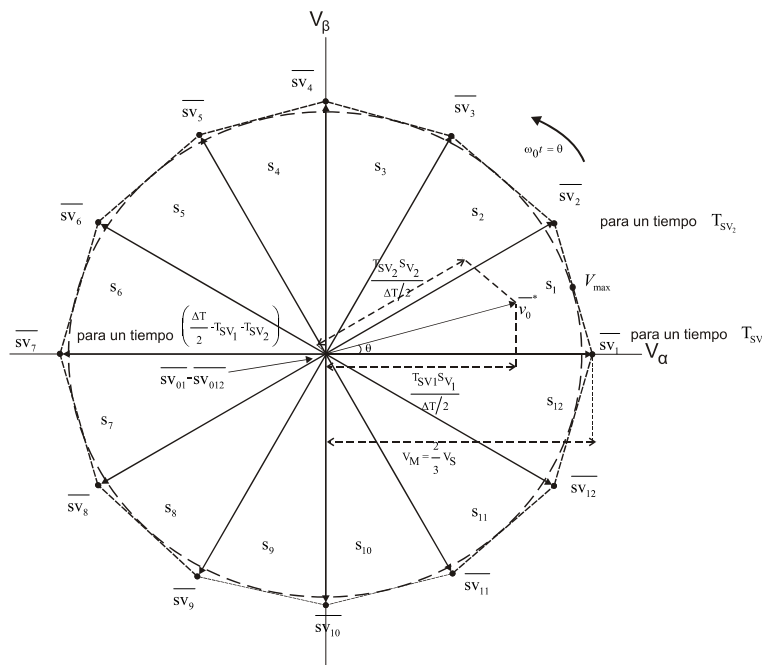


Figura 2.5. Plano complejo α - β que muestra la distribución de los vectores \vec{sv}_{v1} a \vec{sv}_{v12}

Un vector arbitrario de voltaje, \vec{v}_0^* , se puede situar dentro de un sector, ya sea $S_1 - S_{12}$, tal que su amplitud y ángulo pueden ser variados. Este vector arbitrario se compone por cuatro vectores locales dependiendo del sector en que se encuentre, es decir, se construye por las proyecciones de los vectores estacionarios de voltaje \vec{sv}_n , \vec{sv}_{n+1} y los vectores neutros de voltaje \vec{sv}_{0n} , \vec{sv}_{0n+1} . Por ejemplo, en la Figura 2.5 se muestra el vector arbitrario \vec{v}_0^* en el sector S_1 tal que sus proyecciones vecinas son referidas a \vec{sv}_1 y \vec{sv}_2 . Los vectores de proyección del vector \vec{v}_0^* cambian dependiendo de la posición angular, $\theta = \omega_0 t$, en que se encuentre, donde $\omega_0 = 2\pi f_0$ y f_0 es la frecuencia de salida. Cabe mencionar que la amplitud máxima que puede tomar el vector \vec{v}_0^* es $V_{max} = V_s / \frac{\sqrt{8+4\sqrt{3}}}{6}$, la cual corresponde a la distancia que existe desde el origen del plano α - β hasta el punto medio de la unión de los vértices del dodecágono causado por los vectores de espacio fundamentales. Por lo tanto, \vec{v}_0^* debe tener un valor menor a V_{max} para evitar sobre modulación [2-3]. La obtención de este parámetro máximo se explica en el Apéndice B.

2.3 Cálculo de los tiempos activos de los vectores de espacio

El cálculo de los tiempos activos de los vectores de proyección del vector \vec{v}_0^* se puede obtener a través de la suma geométrica de cuatro vectores locales. Por ejemplo, para obtener el vector \vec{v}_0^* situado en el Sector 1, tal como se muestra en la Figura 2.5, es necesario considerar sus proyecciones respecto a \vec{sv}_1 y \vec{sv}_2 ; mostradas fraccionariamente en la ecuación (2.3):

$$\vec{v}_0^* = V_0 \angle \theta_0 = \left(\frac{T_{sv_1}}{\frac{\Delta T}{2}} \right) \vec{sv}_1 + \left(\frac{T_{sv_2}}{\frac{\Delta T}{2}} \right) \vec{sv}_2 \quad (2.3)$$

donde $\frac{\Delta T}{2}$ es la mitad de un periodo de conmutación, T_{sv_1} es el tiempo de duración del vector de espacio \vec{sv}_1 y, T_{sv_2} es el tiempo de duración del vector de espacio \vec{sv}_2 . Cuatro diferentes periodos de tiempo componen a $\frac{\Delta T}{2}$; estos tiempos son mostrados en la ecuación (2.4):

$$\frac{\Delta T}{2} = T_{sv_1} + T_{sv_2} + T_{sv_{01}} + T_{sv_{02}} \quad (2.4)$$

donde $T_{sv_{01}}$ y $T_{sv_{02}}$ son los tiempos de duración de los vectores neutros \vec{sv}_{01} y \vec{sv}_{02} .

Tomando en cuenta que el vector \vec{v}_0^* depende de una amplitud y posición angular dentro del plano α - β , $\vec{v}_0^* = V_0 \angle \theta$, la ecuación (2.3) puede ser expresada en forma polar de la siguiente manera:

$$\frac{\Delta T}{2} V_0 \angle \theta = T_{sv1} \overline{sv_1} + T_{sv2} \overline{sv_2} \quad (2.5)$$

donde $\theta = [0, \pi/6]$ para el sector 1.

Sustituyendo $\overline{sv_1} = V_M \angle 0$ y $\overline{sv_2} = V_M \angle \pi/6$, en su forma rectangular dentro de la ecuación (2.5), se obtiene la ecuación (2.6):

$$\frac{\Delta T}{2} V_0 (\cos \theta + j \sin \theta) = T_{sv1} V_M (\cos 0 + j \sin 0) + T_{sv2} V_M \left(\cos \frac{\pi}{6} + j \sin \frac{\pi}{6} \right) \quad (2.6)$$

Haciendo un puente de enlace de las partes reales y otro con las partes imaginarias de la ecuación 2.6 y, utilizando identidades trigonométricas, se obtienen los tiempos activos T_{sv1} y T_{sv2} de los vectores de espacio $\overline{sv_1}$ y $\overline{sv_2}$:

$$T_{sv1} = \Delta T \frac{V_0}{V_M} \cos \left(\theta + \frac{\pi}{3} \right); T_{sv2} = \Delta T \frac{V_0}{V_M} \cos \left(\theta - \frac{\pi}{2} \right) \quad (2.7)$$

El mismo procedimiento se puede aplicar para obtener los tiempos activos $T_{sv3} - T_{sv12}$, usando las ecuaciones (2.3)-(2.6) para el resto de los sectores. La Tabla 2.2 lista los tiempos activos de los doce vectores de espacio para todos los sectores del plano α - β .

2.3.1 Generación de los voltajes modulados en un ciclo de conmutación

Para generar las formas de onda de voltaje v_{R1G} a v_{B2G} en un periodo ΔT , es necesario tomar en cuenta los modos, M_n, M_{n+1}, M_{0n} y M_{0n+1} , del sector en el que se encuentra el vector arbitrario, ya que los vectores de estado de los transistores producirán los vectores de espacio $s_{vn}, s_{vn+1}, s_{v0n}$ y s_{v0n+1} correspondientes a los modos locales. Por ejemplo, la Figura 2.6 muestra las formas de onda de voltaje, $v_{MG}, v_{R1G}, v_{Y1G}, v_{B1G}, v_{R2G}, v_{Y2G}$ y v_{B2G} , para el i -ésimo ciclo de conmutación centrado en un ángulo α_i , cuya duración es ΔT , tomando como ejemplo el sector 1.

Tabla 2.2 Tabla de los tiempos activos de los vectores de espacio

Sector	$\omega_0 t = \theta$	Vectores de espacio	Tiempos activos de los vectores de espacio
1	$0 \leq \theta < \frac{\pi}{6}$	$\overline{S_{V1}}$ y $\overline{S_{V2}}$	$T_{SV1} = \Delta T \frac{V_0}{V_M} \cos\left(\theta + \frac{\pi}{3}\right)$ $T_{SV2} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{\pi}{2}\right)$
2	$\frac{\pi}{6} \leq \theta < \frac{2\pi}{6}$	$\overline{S_{V2}}$ y $\overline{S_{V3}}$	$T_{SV2} = \Delta T \frac{V_0}{V_M} \cos\left(\theta + \frac{\pi}{6}\right)$ $T_{SV3} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{2\pi}{3}\right)$
3	$\frac{2\pi}{6} \leq \theta < \frac{3\pi}{6}$	$\overline{S_{V3}}$ y $\overline{S_{V4}}$	$T_{SV3} = \Delta T \frac{V_0}{V_M} \cos(\theta)$ $T_{SV4} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{5\pi}{6}\right)$
4	$\frac{3\pi}{6} \leq \theta < \frac{4\pi}{6}$	$\overline{S_{V4}}$ y $\overline{S_{V5}}$	$T_{SV4} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{\pi}{6}\right)$ $T_{SV5} = \Delta T \frac{V_0}{V_M} \cos(\theta - \pi)$
5	$\frac{4\pi}{6} \leq \theta < \frac{5\pi}{6}$	$\overline{S_{V5}}$ y $\overline{S_{V6}}$	$T_{SV5} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{\pi}{3}\right)$ $T_{SV6} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{7\pi}{6}\right)$
6	$\frac{5\pi}{6} \leq \theta < \pi$	$\overline{S_{V6}}$ y $\overline{S_{V7}}$	$T_{SV6} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{\pi}{2}\right)$ $T_{SV7} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{4\pi}{3}\right)$
7	$\pi \leq \theta < \frac{7\pi}{6}$	$\overline{S_{V7}}$ y $\overline{S_{V8}}$	$T_{SV7} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{2\pi}{3}\right)$ $T_{SV8} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{3\pi}{2}\right)$
8	$\frac{7\pi}{6} \leq \theta < \frac{8\pi}{6}$	$\overline{S_{V8}}$ y $\overline{S_{V9}}$	$T_{SV8} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{5\pi}{6}\right)$ $T_{SV9} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{5\pi}{3}\right)$
9	$\frac{8\pi}{6} \leq \theta < \frac{9\pi}{6}$	$\overline{S_{V9}}$ y $\overline{S_{V10}}$	$T_{SV9} = \Delta T \frac{V_0}{V_M} \cos(\theta - \pi)$ $T_{SV10} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{11\pi}{6}\right)$
10	$\frac{9\pi}{6} \leq \theta < \frac{10\pi}{6}$	$\overline{S_{V10}}$ y $\overline{S_{V11}}$	$T_{SV10} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{7\pi}{6}\right)$ $T_{SV11} = \Delta T \frac{V_0}{V_M} \cos(\theta - 2\pi)$
11	$\frac{10\pi}{6} \leq \theta < \frac{11\pi}{6}$	$\overline{S_{V11}}$ y $\overline{S_{V12}}$	$T_{SV11} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{4\pi}{3}\right)$ $T_{SV12} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{13\pi}{6}\right)$
12	$\frac{11\pi}{6} \leq \theta < 2\pi$	$\overline{S_{V12}}$ y $\overline{S_{V1}}$	$T_{SV12} = \Delta T \frac{V_0}{V_M} \cos\left(\theta + \frac{\pi}{2}\right)$ $T_{SV1} = \Delta T \frac{V_0}{V_M} \cos\left(\theta - \frac{7\pi}{3}\right)$

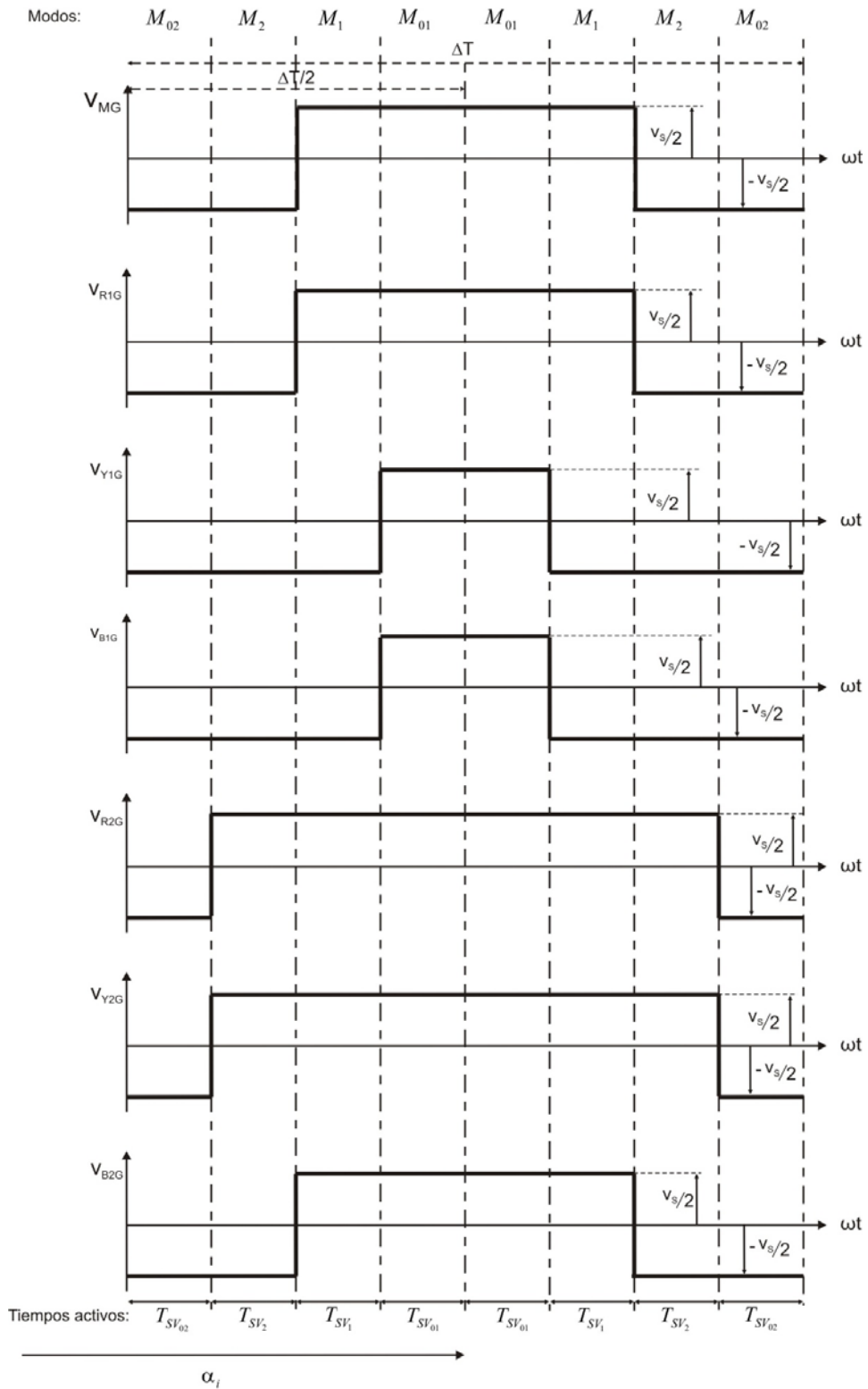


Figura 2.6 Formas de onda de voltaje a la salida de los puentes inversores trifásicos para el Sector 1, $0 \leq \theta \leq \pi/6$

La misma figura presenta en su parte inferior los tiempos activos $T_{sv_{02}}$, T_{sv_2} , T_{sv_1} y $T_{sv_{01}}$ para la generación de los voltajes modulados; mientras que en la parte superior se observan los modos correspondientes para el primer sector.

Las formas de onda de voltaje de la Figura 2.6, son generadas de acuerdo a los vectores de estado de los transistores. Inicialmente en la figura, el ciclo de conmutación está en el modo M_{02} , provocando que el voltaje v_{MG} y las salidas de voltaje en los inversores inferior y superior, sea de $-V_s/2$ durante un tiempo activo $T_{sv_{02}}$. Cuando ocurre la transición de modos M_{02} a M_2 los vectores de estado cambian de posición de acuerdo al modo M_2 , causando que los voltajes, v_{R2G} y v_{Y2G} , conmuten de $-V_s/2$ a $V_s/2$, siendo T_{sv_2} la duración del modo M_2 . Cuando el modo M_2 llega a su fin se da paso al modo M_1 , provocando que los voltajes v_{R1G} , v_{B2G} y v_{MG} tengan una transición de $-V_s/2$ a $V_s/2$. Al término del modo M_1 , el modo M_{01} es activado durante un periodo de tiempo $T_{sv_{01}}$, causando que los voltajes v_{Y1G} y v_{B1G} conmuten a $V_s/2$. Este proceso se repite regresivamente para la siguiente mitad del periodo de conmutación, $\Delta T/2$, y por lo tanto las formas de onda de voltaje presentan un comportamiento en espejo.

Se hace notar que el comportamiento de la forma de onda v_{MG} presentará siempre su transición de $-V_s/2$ a $V_s/2$ y viceversa cuando ocurra el cambio de los vectores estacionarios, es decir, del Modo M_n a M_{n+1} o M_{n+1} a M_n .

2.4 Generación de la forma de onda de voltaje v_{RN} de siete niveles SVPWM

El método para obtener la forma de onda de voltaje v_{RN} parte del análisis de los tiempos activos para cada sector, así como de las formas de onda de voltaje generadas tanto en el circuito de CD como en el lado del circuito de CA. En la Figura 2.7 se presentan las formas de onda ideales generadas por el inversor híbrido trifásico para un periodo completo de operación. La primera forma de onda de esta figura muestra el voltaje v_{MG} , la cual alterna de acuerdo con la modulación de espacio vectorial (SVPWM) y a los modos establecidos por los circuitos equivalentes. Se hace notar que v_{MG} tiene una frecuencia de $6f_0$. Las siguientes formas de onda v_{R1G} , v_{Y1G} y v_{B1G} mostrados en la Figura 2.7 son los voltajes de salida del inversor inferior referidos al riel de CD. v_{R1G} es generado por el estado de los transistores Q_1 y Q_4 . Cuando Q_4 está encendido y Q_1 está ya sea apagado o encendido el nodo R_1 está sujeto al riel negativo de CD causando que $v_{R1G} = -V_s/2$. Sin embargo, cuando Q_4 está apagado y Q_1 encendido, el nodo R_1 es sujetado al nodo

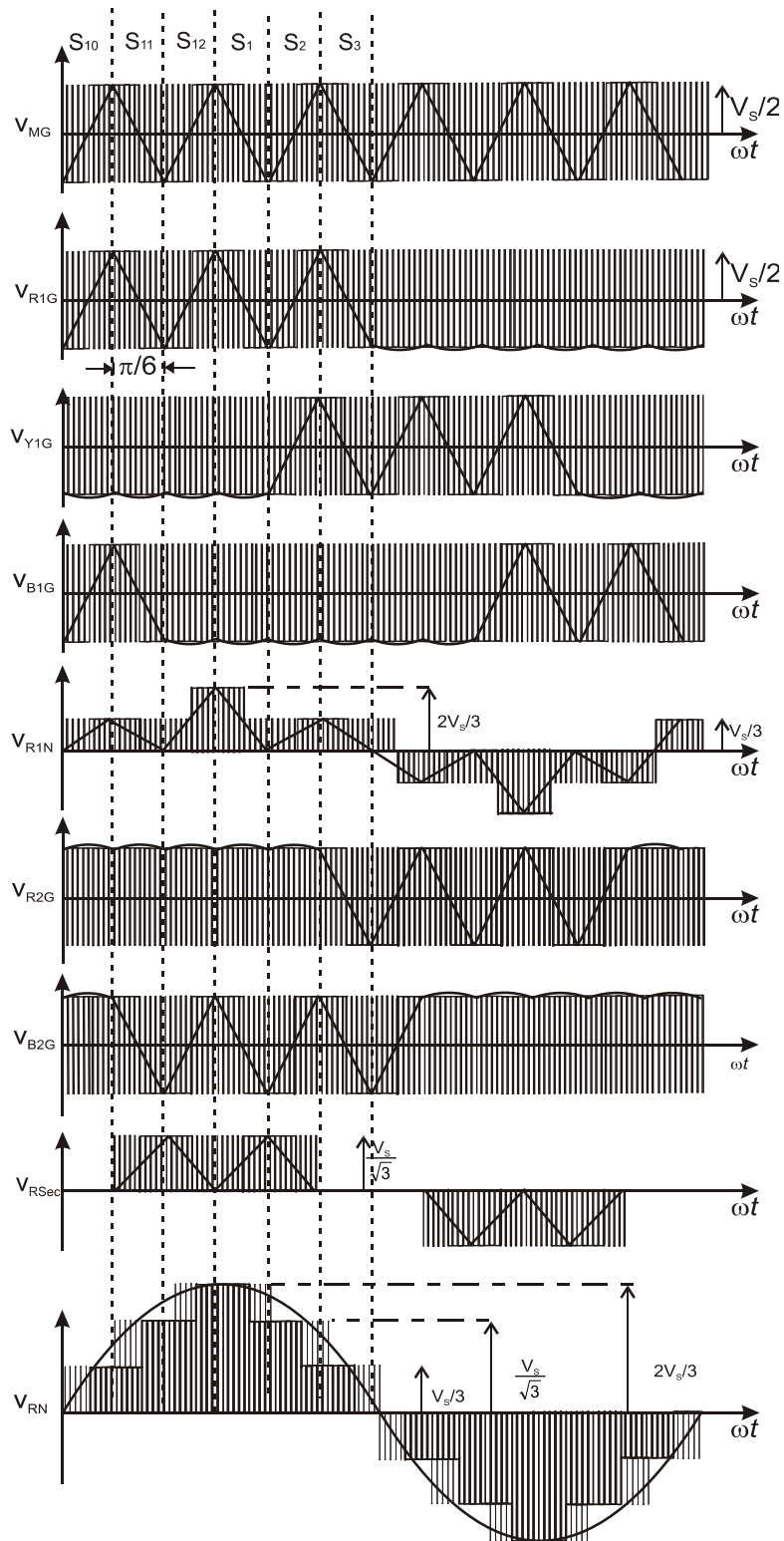


Figura 2.7 Formas de onda ideales del inversor siete niveles con la modulación de espacio vectorial

M tal que $v_{R1G} = V_s/2$. En la Figura 2.7 v_{R1G} presenta la forma de onda de v_{MG} durante la mitad de todo su periodo, ya que el estado de Q_1 es activo; pero, el resto del periodo de v_{R1G} los estados de Q_1 y Q_4 alternan de acuerdo al sector de operación y Q_4 se mantendrá activado por más tiempo en promedio a diferencia de Q_1 . Las formas de onda de voltaje v_{Y1G} y v_{B1G} tienen el mismo comportamiento de v_{R1G} con un desfase de -120° y $+120^\circ$ respectivamente. La producción de estas formas de onda son de acuerdo a los estados de los transistores de las ramas inversoras Y_2 y B_2 respectivamente y de acuerdo al sector de operación.

Los voltajes de salida del inversor inferior respecto al nodo N, del circuito de CA pueden ser calculadas eliminando el voltaje en modo común, v_{GN} , por medio de la expresión (2.8) [2-3]:

$$\vec{v}_{1N} = \begin{bmatrix} v_{R1N} \\ v_{Y1N} \\ v_{B1N} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{R1G} \\ v_{Y1G} \\ v_{B1G} \end{bmatrix} \quad (2.8)$$

v_{R1N} es mostrada en la quinta forma de onda de la Figura 2.7 y es calculada utilizando la ecuación (2.8). Las formas de onda de voltaje de salida del inversor superior con respecto al nodo G, v_{R2G} , v_{Y2G} y v_{B2G} , también son mostradas en la Figura 2.7, y son generados de manera similar a v_{R1G} , v_{Y1G} y v_{B1G} , con la diferencia de que estos voltajes serán iguales a v_{MG} cuando el transistor superior de la rama inversora correspondiente este siempre activo; de lo contrario v_{R2G} , v_{Y2G} y v_{B2G} dependerán de la conmutación de ambos transistores en la respectiva rama inversora.

Los voltajes en el lado del secundario del transformador, agrupados en el vector de voltaje $\vec{v}_{sec} = [v_{Rsec}, v_{Ysec}, v_{Bsec}]^T$, son obtenidos mediante una transformación delta-estrella de $\sqrt{3}:1$ como se muestra en la ecuación (2.9):

$$\vec{v}_{sec} = \begin{bmatrix} v_{Rsec} \\ v_{Ysec} \\ v_{Bsec} \end{bmatrix} = \frac{1}{\sqrt{3}} \begin{bmatrix} 1 & 0 & -1 \\ -1 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} v_{R2G} \\ v_{Y2G} \\ v_{B2G} \end{bmatrix} \quad (2.9)$$

El voltaje en la fase R en el lado secundario del transformador, v_{Rsec} , es mostrado en la penúltima forma de onda de la Figura 2.7. Por último, la Figura 2.7 muestra la forma de onda v_{RN} , la cual es obtenida mediante la suma de los vectores de voltaje \vec{v}_{1N} y \vec{v}_{sec} , ecuación (2.10):

$$\vec{v}_0 = \vec{v}_{1N} + \vec{v}_{sec} \quad (2.10)$$

donde $\vec{v}_0 = [v_{RN} \quad v_{YN} \quad v_{BN}]^T$.

v_{RN} tiene en promedio una forma de onda sinusoidal sin armónicos de bajo orden pero debido a la conmutación modulada de alta frecuencia se presentan armónicos de alto orden. Este análisis tiene lugar en la siguiente sección.

2.5 Análisis armónico del voltaje de salida v_{RN}

En la siguiente sección se muestra el análisis del contenido armónico del voltaje de salida v_{RN} . Este análisis se realizó tomando como referencia $\omega t = 0$ en el pico de la forma de onda de voltaje v_{RN} mostrada en la Figura 2.27 y a partir de la ecuación (2.11):

$$A_{RN(n)} = \frac{1}{2\pi} \int_0^{2\pi} v_{RN} e^{jn(\omega t)} d(\omega t) \quad (2.11)$$

Desarrollando la serie exponencial de Fourier de la ecuación (2.11) se obtiene la expresión (2.12):

$$A_{RN(n)} = \begin{cases} 4(A_{MG(n)} - A_b(n)); & n = 1, 12k \pm 1; k = \text{enteros} \\ 0 & n = \text{pares y } n = 3k \end{cases} \quad (2.12)$$

La Ecuación (2.12) expresa el contenido armónico $A_{RN(n)}$ de manera generalizada en términos del contenido armónico del voltaje v_{MG} , $A_{MG(n)}$. La obtención de esta expresión puede ser consultada en el Apéndice C de ésta tesis.

2.6 Resumen

En este capítulo se analizó el principio de operación del inversor híbrido multiniveles con la modulación de espacio vectorial (SVPWM, por sus siglas en inglés) a partir de la técnica convencional y sencilla [2-4] documentada en la literatura. Se realizó primeramente un análisis de espacio vectorial que nos permitiera establecer en un plano α, β el comportamiento de los modos de operación del estado de los transistores mediante un vector \vec{v}_0^* para obtener los tiempos activos de conmutación de los vectores de espacio y así de obtener las formas de onda ideales. Por último se realizó un análisis del comportamiento en frecuencia del inversor en el modo de operación 7 niveles SVPWM.

2.7 Referencias

- [2-1] Mondragón-Escamilla Nancy, “Análisis, diseño y construcción de un inversor multiniveles de 1 kW para futuros medios de transporte”, Sección de estudios de posgrado e investigación, unidad Culhuacan.
- [2-2] Villarruel-Parra Alejandro, “Técnicas de control PWM para un convertidor multiniveles híbrido”, Sección de estudios de posgrado e investigación, unidad Culhuacan.
- [2-3] Mondragón-Escamilla, N.; Villarruel-Parra, A.; Araujo-Vargas, I.; Sanchez-Garcia J.C., “Design and Construction of a Three-Phase Transformer for a 1 kW Multi-level Converter,” *in Proceedings of International Conference On Electrical, Communications and Computers*, Cholula, Puebla, Feb. 26 – 28, 2009, pp. 74-78.
- [2-4] D. Grahame Holmes, Thomas A. Lipo, “Pulse width modulation for power converters Principles and Practice”, IEEE series on Power Engineering, Mohamed E. El-Hawary, series editor.

CAPÍTULO 3

ALGORITMO DE CONTROL PARA EL INVERSOR HÍBRIDO EN EL MODO DE OPERACIÓN 7 NIVELES SVPWM

3.1 Introducción

En el presente capítulo se describe el algoritmo desarrollado para generar las señales de control en el modo de operación de 7 niveles SVPWM. Inicialmente se retoma de manera general el análisis del principio de operación de esta modalidad para concretar las características más importantes para la generación de estas señales. Después se realiza la descripción de la lógica empleada para el desarrollo del algoritmo de control y su implementación en un microcontrolador de 8-bits. Por último, el capítulo describe la verificación de la operación del algoritmo de control.

3.2 Principio de operación del algoritmo de control del inversor híbrido con el modo de operación de 7 niveles SVPWM

El principio de operación del algoritmo de control en esta modalidad parte de la teoría descrita en el Capítulo 2 de esta tesis, y en particular de los voltajes de los inversores inferior y superior, así como del voltaje v_{MG} . La obtención de v_{MG} involucra considerar los modos, M_n, M_{n+1}, M_{0n} y M_{0n+1} , del sector en el que se encuentra el vector arbitrario, ya que los vectores de estado de

los transistores producirán los vectores de espacio $s_{vn}, s_{vn+1}, s_{v0n}$ y s_{v0n+1} correspondientes a los modos locales.

La Figura 3.1 muestra las formas de onda de voltaje, $v_{MG}, v_{R1G}, v_{Y1G}, v_{B1G}, v_{R2G}, v_{Y2G}$ y v_{B2G} , para el i -ésimo ciclo de conmutación centrado en un ángulo α_i , cuya duración es ΔT , tomando como ejemplo el sector 1. La misma figura presenta en su parte inferior los tiempos activos $T_{sv02}, T_{sv2}, T_{sv1}$ y T_{sv01} para la generación de los voltajes modulados; mientras que en la parte superior se observan los modos correspondientes para el primer sector. Las características de su generación son explicadas en el Capítulo 2, Sección 2.3.1.

Analizando las formas de onda de la Figura 3.1 se observa que para realizar el diseño del algoritmo de control se debe tomar en cuenta el número de eventos que ocurren dentro de un ciclo de conmutación. Por ejemplo, en la Figura 3.2 se observan 6 eventos que ocurren en forma simétrica tomando como referencia la mitad del periodo de conmutación, $\Delta T/2$. Estos eventos se marcan como A, B y C en la misma figura, para la primera mitad del periodo, y como A', B' y C' para la mitad complementaria del periodo de conmutación. El evento A ocurre después de un periodo de T_0 tomando como referencia el inicio del ciclo; mientras que el evento B ocurre después de un periodo T_1 con referencia al evento A, y por último el evento C ocurre un periodo T_2 después del evento B. Los eventos C', B' y A' ocurren de forma regresiva pero antes de la finalización del ciclo de conmutación. Estos eventos y periodos ocurren de manera similar para cada sector de operación. Tomando como antecedente el Capítulo 2, en la siguiente sección se describe el algoritmo de control con el propósito de verificar la operación teórica del inversor híbrido en el modo de operación de 7 niveles SVPWM.

3.3 Algoritmo de control para el modo de operación de siete niveles SVPWM

El algoritmo de control fue diseñado para ser implementado en un microcontrolador de 8-bits. Este algoritmo basa su diseño empleando una sola señal portadora para controlar el periodo de producción de las señales del estado de los transistores y tres señales modulantes que contienen los tiempos que definen la ocurrencia de los eventos A, B, C, A', B' y C' en los cuales serán modificados el estado de los transistores.

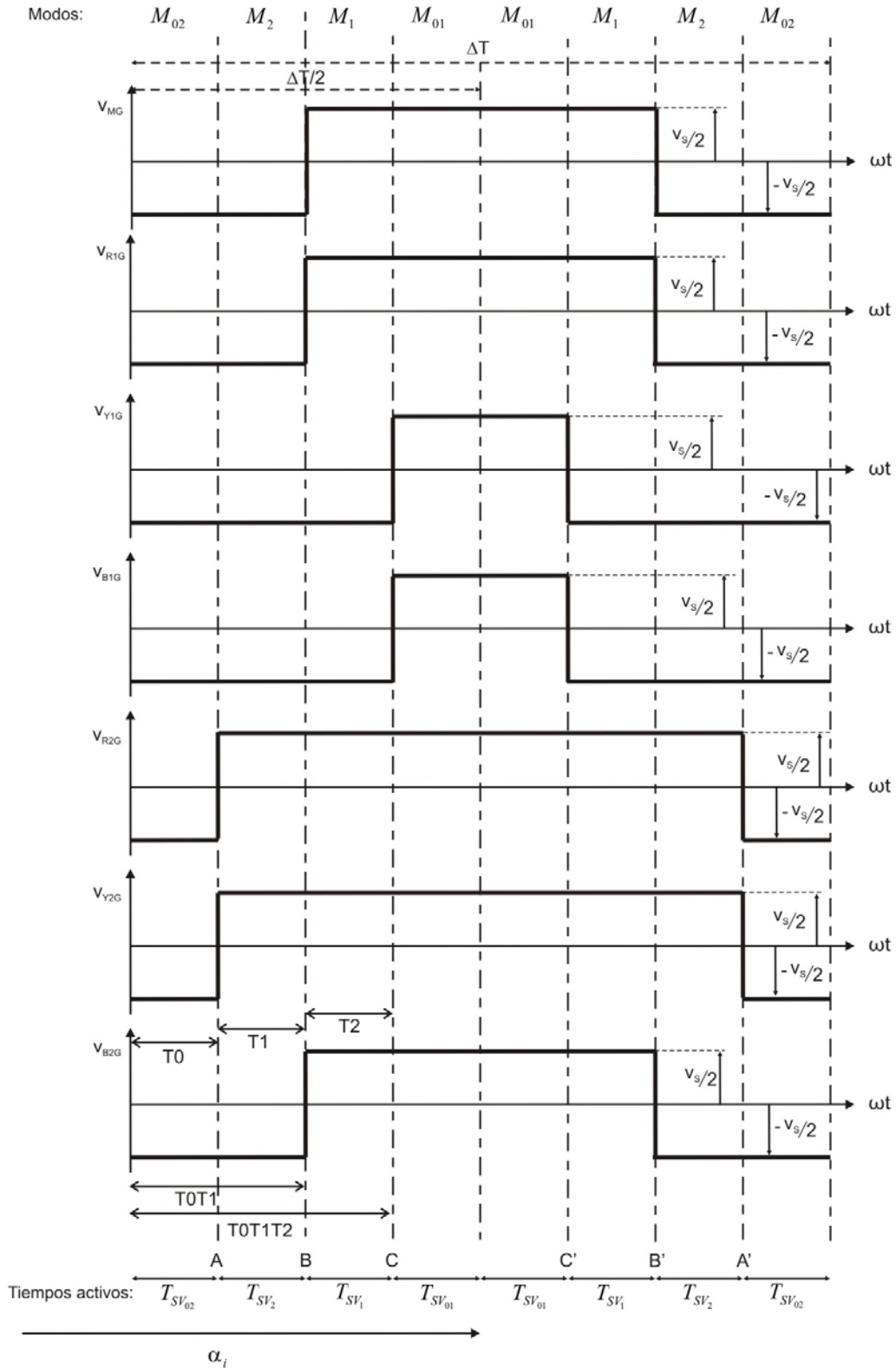


Figura 3.1 Formas de onda de voltaje a la salida de los puentes inversores trifásicos para el Sector 1, $0 \leq \theta \leq \pi/6$

La Figura 3.2 muestra en un diagrama a bloques el proceso del algoritmo de control que genera las señales de activación para el modo de operación de 7 niveles SVPWM del inversor híbrido multiniveles. Este diagrama consta de 5 etapas: un generador de portadora triangular de alta frecuencia, un generador de interrupciones, un localizador de sector, un generador de tiempos activos y por último una etapa de generación de señales de control. El principio de operación del diagrama a bloques de la Figura 3.2 puede ser descrito apoyándose de la Figura 3.3 detallando la funcionalidad de cada bloque.

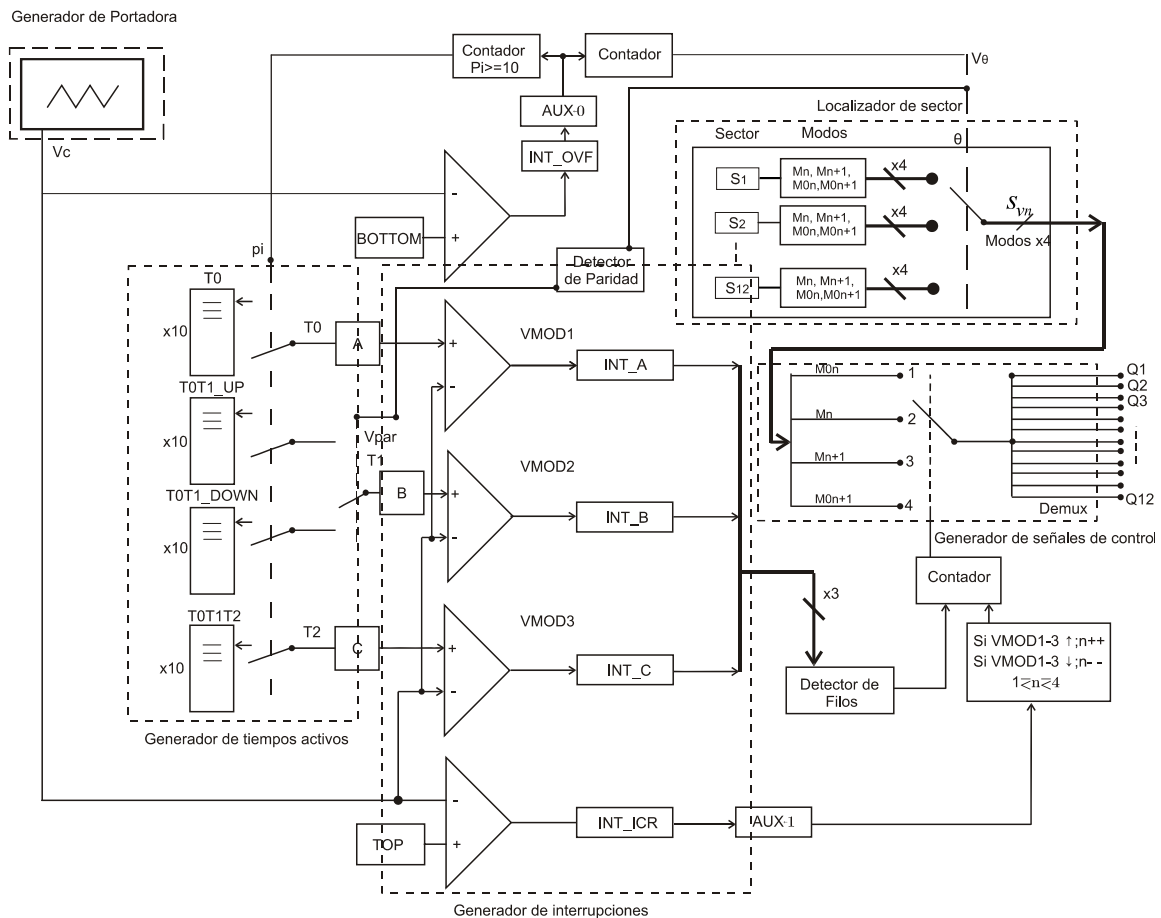


Figura 3.2. Diagrama a bloques del algoritmo de control para el modo de operación de 7 niveles SVPWM

3.3.1 Generador de portadora triangular de alta frecuencia

El generador de portadora triangular define el periodo de conmutación, así como la creación de los eventos en forma simétrica. La salida del generador de portadora es mostrada en la Figura 3.3 (a) como la señal v_c , la cual es una señal triangular cuya frecuencia es dada por el número total de pulsos por sector, p_i , y la frecuencia de salida, $f_{sw} = 12f_0P$.

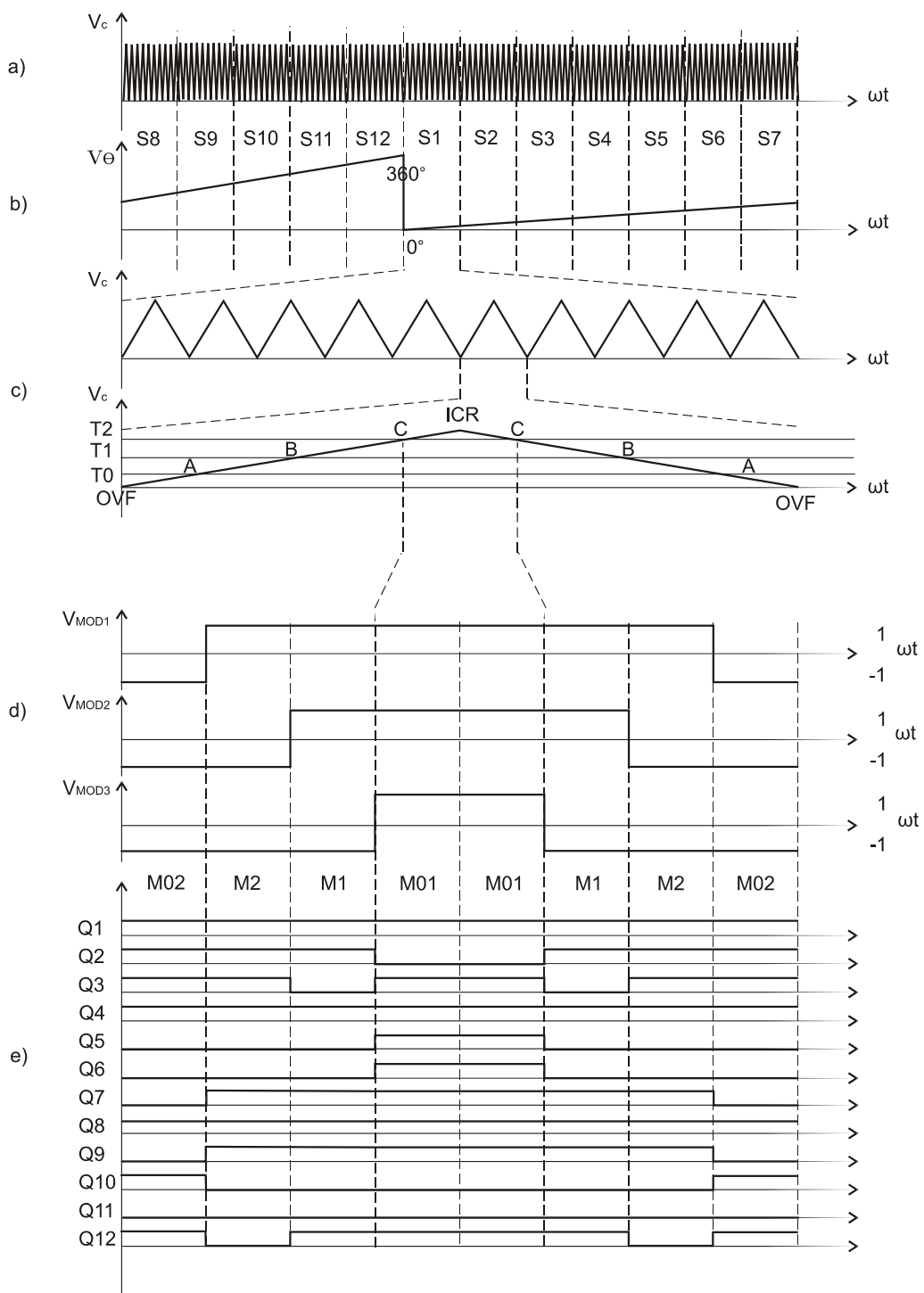


Figura 3.3. Secuencia de interrupciones y esquema de las señales de control con la implementación del algoritmo de control para el modo de operación de 7 niveles SVPWM

3.3.2 Localizador de sector

Este proceso se ejecuta principalmente cuando existe un inicio de periodo de conmutación indicado por el bloque INT_OVF que es propio del generador de interrupciones. Este dispara un contador cuya salida es v_θ , mostrada en la Figura 3.3 (b) y es equivalente a una señal escalonada diente de sierra con un rango de operación de $0 - 360^\circ$. El sector de operación y los estados de los transistores son definidos por v_θ , a lo largo de v_θ se encuentran distribuidos 12 sectores cada uno de 30° , dependiendo de la posición angular del vector arbitrario $\overrightarrow{v_0^*}$, Sección 2.2.2, Capítulo 2, se determinará el sector de operación y los modos de estado de los transistores M_n, M_{n+1}, M_{0n} y M_{0n+1} . En la Figura 3.2 este proceso se muestra por medio de un interruptor de 12 polos 1 tiro conteniendo 4 vectores con los datos de los estados de los transistores para los modos $M_n - M_{n-1}$.

3.3.3 Generador de tiempos activos

El generador de tiempos activos programa los periodos de duración de T0, T1 y T2, de los modos M_n a M_{n-1} ocurridos en un sector. Los valores de T0, T1 y T2 cambian dependiendo del número de pulso p_i que esté ocurriendo dentro de un sector. Estos valores que puede tener T0, T1 y T2 se concentran en 4 tablas T0, T0T1_UP, T0T1_DOWN Y T0T1T2 cuyos datos son seleccionados de acuerdo a la salida P_i del contador de pulsos, mostradas en la parte izquierda inferior de la Figura 3.2. T0 y T2 tomaran los valores contenidos en las tablas T0 y T0T1T2 respectivamente, mientras que T1 selecciona los valores ya sea de la tabla T0T1_UP o T0T1_DOWN de acuerdo con el resultado del detector de paridad de sector, v_{par} , la cual es una señal definida por el sector actual de operación y puede tomar el valor de '1' cuando el sector es impar y '0' cuando el sector es par.

3.3.4 Generador de interrupciones

El generador de interrupciones programa la ocurrencia de los eventos de inicio de ciclo y los eventos A, B, C, ICR, C', B' y A', donde el evento ICR indica el valor máximo de la señal v_c provocando la generación de los eventos C', B' y A'. En la Figura 3.3 (c) se muestra inicialmente una amplificación de v_c durante la duración de un sector, tal que para el ejemplo de la figura, el número de pulsos por sector es de 10. En la parte baja de la misma figura se muestra la amplificación de un ciclo de conmutación de v_c , en conjunto con los valores del vector [T0, T1, T2] e ICR. Cuando v_c sea igual con alguno de los elementos del vector [T0, T1, T2] se ejecutará

una indicación de cambio de modo y por lo tanto los estados de los transistores cambiará de acuerdo con la situación de v_c , del evento ICR y del sector de operación. La Figura 3.3 (d) muestra el resultado de los comparadores, VMOD1, VMOD2 y VMOD3, que registran los eventos A, B, C, ICR y A', B', C' como fillos de subida, valor máximo de v_c y fillos de bajada respectivamente. Los fillos de estas señales son de gran utilidad para indicar los cambios de modo dentro de un periodo de conmutación.

3.3.5 Generación de señales de control

Los fillos de subida de las señales VMOD1, VMOD2 y VMOD3 determinan el cambio progresivo de los modos M_n, M_{n+1}, M_{0n} y M_{0n+1} , mientras que los fillos de bajada de las mismas señales indican el cambio regresivo de los mismos modos. En la parte derecha de la Figura 3.2 se muestra el bloque de generación de señales de control, este bloque emplea las señales VMOD1-3 y AUX para colocar el estado de apropiado de cada uno de los transistores. Las señales VMOD1-3 son procesadas por un detector de fillos que determina el estado de un interruptor de 4 polos 1 tiro. Si se detecta un filo de subida entonces el interruptor cambia su posición de manera ascendente, de lo contrario si se detecta un filo de bajada el interruptor cambia su posición de manera descendente.

Una vez seleccionados los modos por el interruptor de 4 polos 1 tiro, los estados de los transistores serán enviados una salida para generar las señales de control necesarias de tal manera que el inversor opere en el modo de 7 niveles SVPWM. Por ejemplo, la Figura 3.3 (e) muestra las señales de control generadas para el primer sector.

3.4 Implementación del algoritmo en el microcontrolador ATMEGA 2560

El algoritmo descrito en la sección anterior fue implementado en un microcontrolador AVR de 8-bits ATMEGA 2560 [3-1] y el código del programa diseñado puede ser consultado en el Apéndice D. El desarrollo del algoritmo de control en este microcontrolador estuvo basado en el diagrama de flujo de la Figura 3.4, cuya operación puede ser explicada apoyándose en el diagrama a bloques de la Figura 3.2.

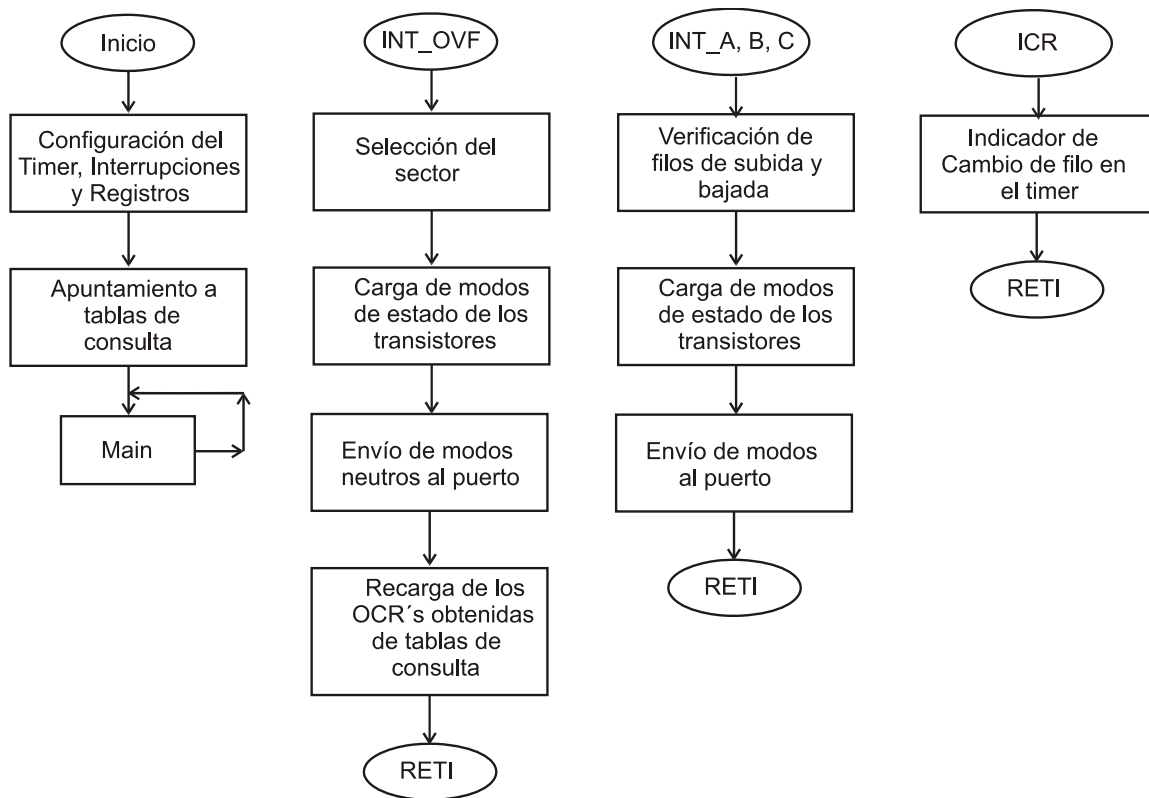


Figura 3.4 Diagrama de flujo que describe la lógica de programación del algoritmo de control en el modo de operación de 7 niveles SVPWM

Siguiendo el diagrama de flujo de la Figura 3.4, la lógica de programación del algoritmo de control inicia con la configuración del timer y de las interrupciones que serán utilizadas a lo largo del programa, así como de los registros de comparación los cuales son cargados con el primer valor de las tablas de consulta $T0$, $TOT1_UP-DOWN$ y $TOT1T2$. Una vez realizada esta configuración, el timer inicia su conteo dando paso a la generación de la primera interrupción representada como INT_OVF .

La subrutina de interrupción de sobre flujo, INT_OVF , se genera en cada valle de la señal v_c , mostrada en la Figura 3.2 como el bloque de generador de portadora. Esta interrupción se encarga de localizar el sector de operación actual, así como de la carga de los modos de estado de los transistores. Los modos correspondientes a esta interrupción siempre serán modos neutros, M_{0n}, M_{0n+1} , los cuales son enviados a los puertos, mientras que el resto de los modos M_n, M_{n+1}, M_{0n} y M_{0n+1} son cargados en diferentes registros para después ser llamados por las interrupciones correspondientes. Por último, los registros de comparación A, B y C son recargados

mediante el posicionamiento de un puntero sobre las tablas de consulta TO , $TOT1_UP$, $TOT1_DOWN$ y $TOT1T2$, las cuales fueron determinadas a través de los tiempos activos de la Tabla 2.2, Sección 2.3.1, Capítulo 2. La comparación de los OCR's, registros A, B y C, con la señal producida por el timer, v_c , produce las interrupciones A,B y C representadas por INT_A, INT_B e INT_C respectivamente localizadas en el bloque de generación de interrupciones de la Figura 3.2, generando 3 señales moduladas representadas como VMOD1-3.

El registro de comparación ICR representado por el bloque TOP en la misma figura produce una Interrupción por comparación del registro de captura de entrada, INT_ICR . Cuando el timer alcanza su valor máximo activa un registro auxiliar para indicar que la cuenta del timer inicia su decremento. Las subrutinas de interrupción INT_A, B y C verifican el filo activado por la interrupción INT_ICR y dependiendo del filo que se presente enviarán los modos de estado de los transistores hacia los puertos generando el esquema de control para cada uno de los transistores del prototipo inversor.

3.4.1 Configuración del Timer/Counter

El microcontrolador ATMEGA 2560, tiene 4 *timers* de 16 bits. Cada uno de los *timers* es capaz de operar en cinco modos distintos: Modo normal, Modo de borrado de timer por comparación (CTC por sus siglas en inglés), Modo PWM rápido, Modo PWM de fase corregida y Modo PWM de fase y frecuencia corregida. Para la implementación del algoritmo se utilizó el Time/Counter 1, operando en el Modo PWM de fase y frecuencia corregida debido a que este modo de operación cubre las necesidades del algoritmo anteriormente descrito.

El corazón del algoritmo implementado en este microcontrolador es el temporizador/modulador digital de 16-bits cuya operación está basado en el diagrama a bloques de la Figura 3.5 [3-1]. Este modulador digital tiene la posibilidad de generar una portadora triangular por medio de un contador ascendente y descendente, TCTN, mostrado en la Figura 3.5, y cuenta también con generadores PWM e interrupciones basadas en la comparación de 4 registros de 16-bits, que pueden determinar la ejecución de subrutinas de interrupción y de definición del valor máximo del temporizador TCTN. La tabla 3.1 muestra la configuración del Timer/counter 1 utilizada para la programación del algoritmo de control.

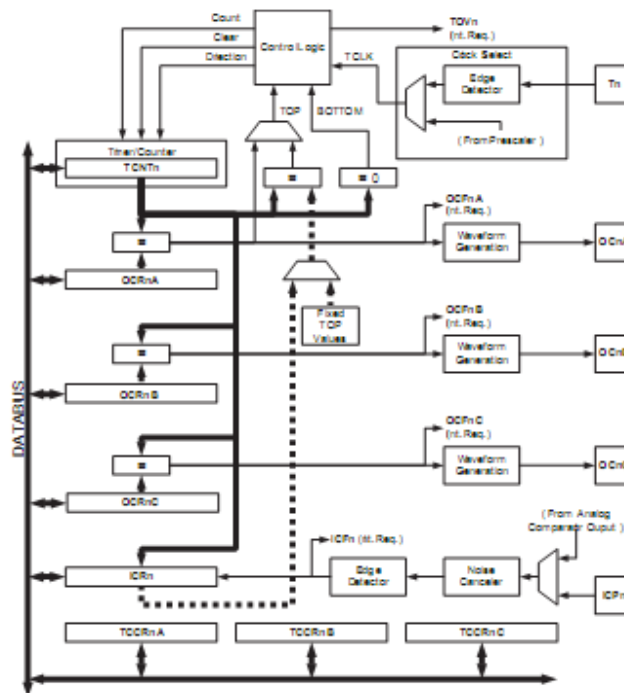


Figura 3.5. Diagrama a bloques del Timer/Counter de 16-bits del ATMEGA2560 [3-1]

Tabla 3.1 Configuración del Timer/Counter 1 para generar el algoritmo de control de 7 niveles SVPWM

Nombre del registro	Descripción	Configuración.
TCNT1	Define el valor inicial del timer.	0x00h
TCCR1A	Configuración del registro de control A: Genera un flanco de subida en la cuenta ascendente del timer y un flanco de bajada en la cuenta descendente del timer cuando ocurre una comparación.	0xFCh
ICR1	Define el valor máximo del timer.	0x457h
TIMSK1	Definición de la máscara de interrupciones (habilitación de interrupciones).	0x2Fh
OCR1A	Define el valor inicial de las salidas de comparación A.	Toma valores de la tabla T0
OCR1B	Define el valor inicial de las salidas de comparación B.	Toma valores de la tabla TOT1_UP o TOT1_DOWN
OCR1C	Define el valor inicial de las salidas de comparación C.	Toma valores de la tabla TOT1T2
TCCR1B	Configuración del modo de operación. Generación de la forma de onda PWM.	0x11h

3.5 Verificación experimental de las señales de control para el modo de operación 7 niveles SVPWM.

Para la verificación de las señales de control mostradas en la Figura 3.3 (e) se utilizó un osciloscopio digital Agilent Technologies MSO6012A con un ancho de banda de 100MHz y 16 canales digitales. La Figura 3.6 muestra las señales de control obtenidas de la implementación del algoritmo para el inversor híbrido en el modo de 7 niveles SVPWM, dichas señales tienen una frecuencia fundamental de 60Hz y una frecuencia de conmutación de 7.2kHz.

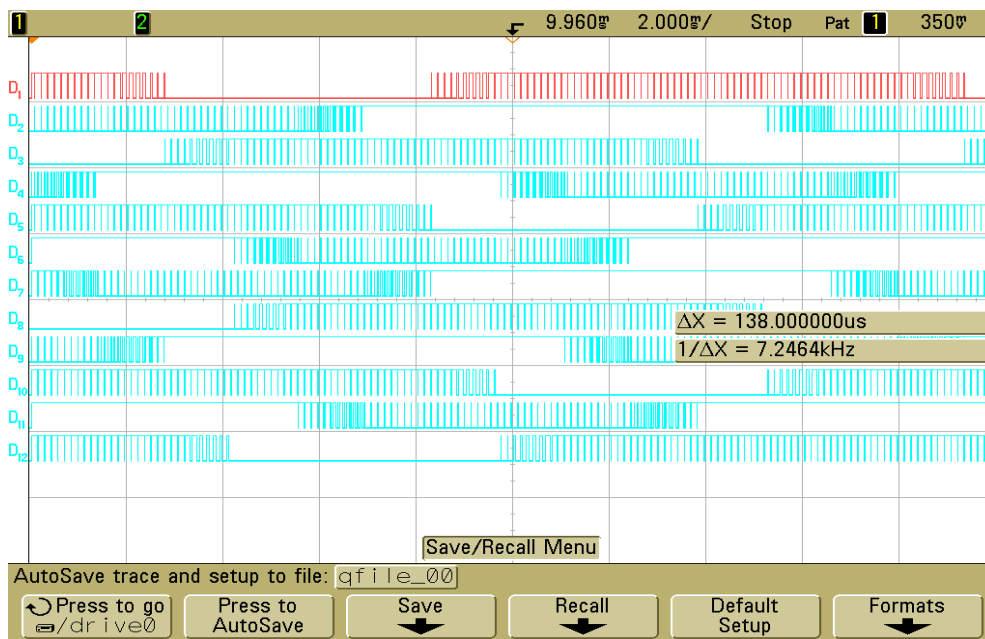


Figura 3.6. Señales de control obtenidas del microcontrolador de 8 bits en el modo de 7 niveles SVPWM.

Vertical- estado lógico, horizontal-2ms/div.

3.6 Resumen

En este capítulo se mostró el algoritmo de control desarrollado para generar las señales de control en el modo de operación de 7 niveles SVPWM, tomando como antecedente el Capítulo 2. El diseño del algoritmo se realizó empleando una sola señal modulante para controlar el periodo de producción de las señales del estado de los transistores y tres señales portadoras que contienen los tiempos en los cuales serán activados el estado de los transistores. Se presentó la configuración utilizada para el Timer/Counter 1, así como las señales de control experimentales

obtenidas. Las señales generadas a través del algoritmo fueron utilizadas para controlar el prototipo del inversor de 1 kW cuyo diseño y construcción se presenta en el Capítulo 4, mientras que los resultados experimentales obtenidos se presentan en el Capítulo 5 para los modos de operación de 7 niveles, 7 niveles PWM y 7 niveles SVPWM.

3.7 Referencias

- [3-1] http://www.atmel.com/dyn/resources/prod_documents/doc2549.pdf, AVR ATmega 2560 Manual, 2010.

CAPÍTULO 4

DISEÑO Y CONSTRUCCIÓN DEL PROTOTIPO INVERSOR HÍBRIDO MULTINIVELES.

4.1 Introducción

La verificación experimental de la operación del convertidor inversor híbrido multiniveles en el modo de 7 niveles SVPWM se hizo a través de un prototipo con capacidad de 1kW. El presente capítulo describe los detalles técnicos del diseño y construcción de este convertidor. El capítulo se organiza describiendo inicialmente las especificaciones y parámetros de operación del convertidor. Luego se muestra las diferentes etapas con las que está constituido el prototipo, detallando la selección de piezas y materiales de cada componente. Finalmente se resume el proceso de producción y ensamblaje del prototipo físico para ser probado en el laboratorio.

4.2 Antecedentes del prototipo

El diseño del prototipo fue realizado en su primera versión por la M. en C. Nancy Mondragón Escamilla [4-1] y por el M. en C. Alejandro Villarruel Parra [4-2]. En esta versión preliminar se probaron los modos de operación de 7 niveles y 7 niveles PWM. Una segunda versión fue hecha para mejorar el estudio del modo de operación de 7 niveles PWM, donde se observó que la operación del inversor era satisfactoria únicamente en breves periodos de tiempo. De acuerdo a las observaciones de los investigadores se tenía que plantear un nuevo diseño que alcanzara la

operación del prototipo a plena carga. Por lo tanto se realizó una nueva versión de dicho inversor, modificando el diseño la placa de circuito impreso (de la siglas en inglés *Printed Circuit Board PCB*) para eliminar problemas mecánicos, reducir el uso redundante de fuentes de alimentación, realizar un mejor sistema de tierras, eliminar capacitancias, evitar la saturación del transformador y anexar componentes para su estudio futuro.

En la siguiente redacción se muestra detalladamente la capacidad y condiciones de operación con las que se construyó la nueva versión del prototipo inversor.

4.3 Especificaciones de diseño del prototipo

Las condiciones de diseño del inversor híbrido multiniveles se dividen en 3, carga máxima, normal y mínima como se listan a continuación en la Tabla 4.1.

Tabla 4.1. Condiciones de diseño del inversor híbrido multiniveles

Parámetros	Mínimo	Normal	Máximo
Voltaje de suministro (V_s)	240V	270V	300V
Potencia de salida (P_o)	1kW		
Corriente de suministro (I_s)	4.16A	3.7A	3.33A
Voltaje de salida por fase (V_o)	127V rms		
Corriente de salida por fase (I_o)	2.62A		
Frecuencia de operación	60Hz		
Resistencia de carga por fase (R_{carga})	48.09 Ω		

Se consideró tener normalmente un suministro de 270V con $\pm 30V$ de tolerancia. Sobre estas especificaciones fueron seleccionados los componentes del prototipo.

4.4 Descripción del prototipo.

El prototipo del inversor híbrido multiniveles consta de 3 etapas; la etapa de control, la etapa de interfaz y la etapa de potencia. La Figura 4.1 muestra un diagrama a bloques de las etapas que componen al prototipo.

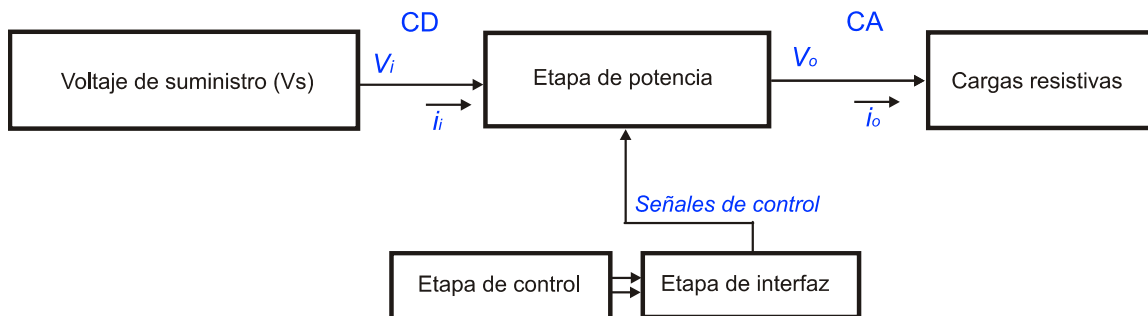


Figura 4.1. Diagrama a bloques de las etapas del prototipo inversor híbrido multiniveles.

El suministro de voltaje utilizado fue una fuente electrónica Agilent N57711A de 300V,5A con una capacidad de 1500W. La etapa de potencia está constituida por dos inversores trifásicos, un transformador trifásico en conexión delta-estrella abierta, circuitos *driver* de control para los módulos IGBT y una carga trifásica balanceada. La etapa de control es formada por una tarjeta de desarrollo ATMEL STK500 con módulo de expansión STK503 y un microcontrolador AVR ATMEGA 2560. Esta etapa es la encargada de producir las señales de control que manipulan la activación y desactivación de los transistores y por último la etapa de interfaz que está conformada por un arreglo de compuertas lógicas OR y AND para evitar que una combinación errónea del estado de los transistores genere un corto circuito en la etapa de potencia [4-2]. Cada una de estas etapas es descrita en las siguientes secciones.

4.4.1 Etapa de potencia

4.4.1.1 Capacitores del riel de CD

Debido a la gran demanda de corriente del inversor, tal como se muestra en la Figura 4.2, la forma de onda del voltaje de suministro se distorsiona. Con el fin de mantener constante el voltaje de suministro y para evitar un rizo de corriente a la salida de la fuente de CD se colocó un filtro capacitivo en la entrada del circuito.

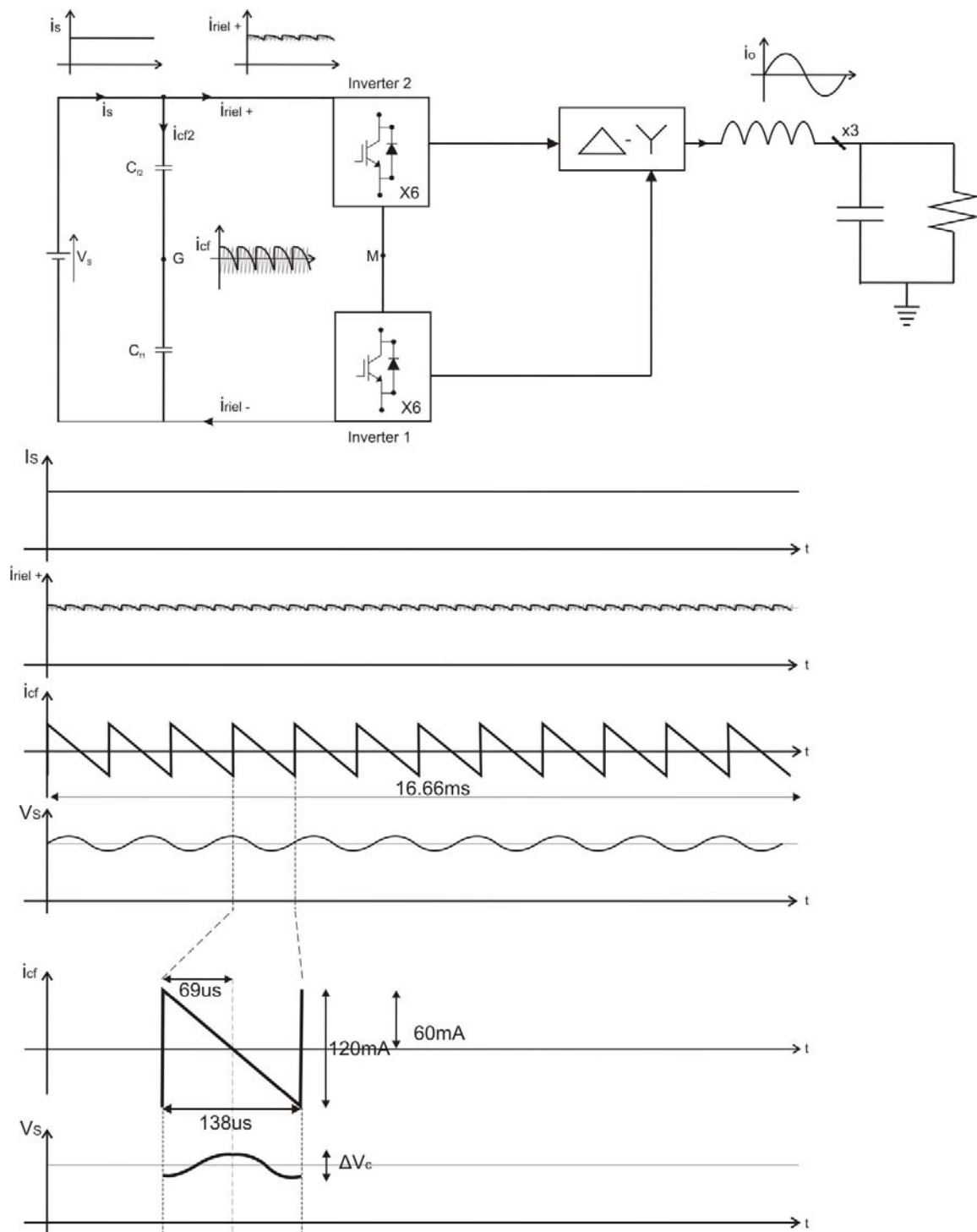


Figura 4.2. Corriente i_s , i_{riel+} , en el filtro de entrada i_{cf} y voltaje de suministro V_s

Se seleccionaron 2 capacitores de polipropileno peliculares 944U de Cornell Dubilier [4-3] de 140 μF debido a la construcción interna del dispositivo ya que utiliza polipropileno metalizado con

pérdidas pequeñas para una alta capacidad del rizo de corriente. A continuación se describe el cálculo realizado para la selección del filtro de entrada.

El cálculo de los capacitores de entrada está basado en las formas de onda de la Figura 4.2. En esta figura se muestra primeramente el inversor híbrido multiniveles asociado con las corrientes que se originan en el suministro, en el bus positivo y en la salida. Idealmente se espera tener una forma de onda constante en el bus positivo como la que se puede apreciar en el suministro, pero debido a la demanda de corriente generada por el inversor, esta señal se ve distorsionada con un pequeño rizo.

El primer conjunto de señales en la Figura 4.2 son: la corriente de suministro, I_s , la corriente en el bus positivo, I_{riel+} , la corriente en el filtro de entrada, i_{cf} , y el voltaje de suministro V_s . En la forma de onda de la corriente presente en el filtro de entrada, i_{cf} , se puede ver que presenta variaciones pertenecientes a la corriente en el bus positivo, I_{riel+} , además i_{cf} tiene un periodo de $12f_0$. Amplificando en tiempo las formas de onda i_{cf} y V_s , mostradas como las últimas señales en la Figura 4.2; se puede observar que el rizo de voltaje en el suministro, ΔV_s , es causado por el área encerrada en el triángulo indicado en la Figura 4.2, y puede ser calculado utilizando la Expresión 4.1.

$$\Delta V_c = \frac{1}{c} \int i_c dt \quad (4.1)$$

La Tabla 4.2 muestra los parámetros necesarios para calcular el valor de los capacitores considerando máxima carga y un rizo de corriente $\Delta I_s = 120mA$.

Tabla 4.2. Parámetros del diseño del filtro de entrada

Corriente de suministro máximo I_{smax}	4.16A
Rizo de voltaje ΔV_s	300mv

Aplicando la expresión 4.1 y los parámetros correspondientes de la Tabla 4.2, se obtuvo el valor del capacitor de entrada, el cual fue de $69\mu f$; por lo tanto se requiriendo 2 capacitores de $140\mu f$ conectados en serie y en paralelo al suministro.

4.4.1.2 Puentes inversores trifásicos

Para la selección de este componente se tomó en cuenta el voltaje de suministro máximo, la corriente pico máxima y la frecuencia de operación mostrados en la Tabla 4.1. Debido a los niveles de voltaje y corriente requeridos en los puentes inversores trifásicos y a la frecuencia de conmutación se escogieron puentes inversores compuestos por dispositivos IGBT modelo BSM 25 GD 120 DN2 [4-4] manufacturados por EUPEC con un $V_{CE} = 1200V$ y una $I_{max} = 35A$, ya que cubren totalmente sus características.

4.4.1.3 Circuito de disparo para los transistores del puente inversor

Una vez elegidos los puentes inversores se procedió a la elección de los dispositivos que realizarán la activación de los transistores. El driver utilizado fue el IRS21853SPBF de International Rectifier [4-5]. Este integrado funciona por el método de *bootstrap* [4-6], el cual consiste en cargar un capacitor para poder accionar el disparo en la compuerta del transistor.

Este dispositivo tiene 2 características principales, la primera es que maneja un voltaje flotante máximo de 600V y la segunda es que opera para una rama del inversor; por lo tanto el driver es apropiado para la topología del inversor híbrido multiniveles, ya que usa varios transistores con referencia flotada y el voltaje de suministro es de 300V. Es por eso que para el buen funcionamiento de los inversores superior e inferior se requirieron 6 integrados. La Figura 4.3 muestra el integrado IRS21853SPBF conectado con el método de bootstrap.

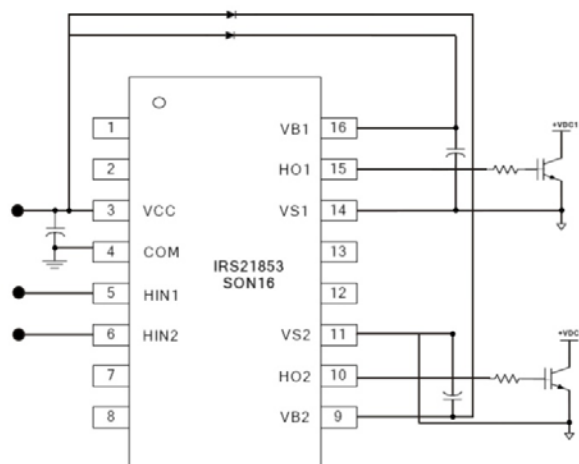


Figura 4.3. Circuito de disparo por el método de Bootstrap

El cálculo de los componentes del circuito de disparo está descrito en el Apéndice E. En la Tabla 4.3 se muestran las características principales del integrado IRS21853SPBF.

Tabla 4.3. Principales características del integrado IRS21853SPBF, tomado de [4-5]

Voltaje de operación máximo	20V
Voltaje flotado máximo	620V
Voltaje de disparo	10V - 20V
Corriente de disparo	20mA
Tiempo muerto interno	40ns
Tiempo de encendido/apagado	170ns/170ns

4.4.1.4 Transformador Trifásico en conexión delta estrella

Este componente magnético fue diseñado y construido por la M. en C. Nancy Mondragón Escamilla y el M. en C. Alejandro Villarruel Parra [4-7]. Para su diseño se consideró la forma de onda de voltaje en el devanado secundario del transformado, $V_{R_{sec}}$, mostrada en la Figura 4.4 (a) y la densidad de flujo magnético β para determinar la forma de onda de la densidad de flujo magnético máximo que se induce en el núcleo mostrado en la Figura 4.4 (b). Los cálculos para diseñar el transformador trifásico fueron hechos en una hoja de cálculo de Excel debido a la gran cantidad de datos que se manejan. Tomando en cuenta lo anterior, se procedió a la selección del tipo de núcleo a utilizar, el cual fue un tipo E modelo 3Q6 de WILTAN enrollado [4-7] constituido de 97% Hierro y 3% Silicio, debido a sus caracterizas frente a las pérdidas por efecto pelicular y las corrientes de Eddie.

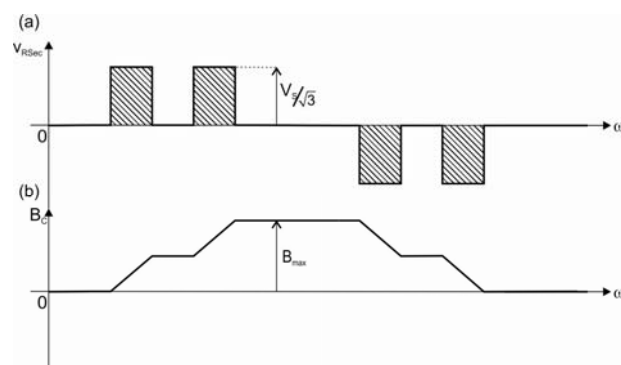


Figura 4.4. (a) Voltaje en el devanado primario del transformador, $v_{R_{sec}}$, y (b) Densidad de flujo en el núcleo que lo produce.

Los parámetros de los devanados por fase se listan en la Tabla 4.4, los cuales fueron obtenidos balanceando las pérdidas del cobre y del núcleo. La relación del número de vueltas obtenida, fue de 278 vueltas en el primario y 481 vueltas en el secundario. Cada una de las capas de los devanados fue aislada con papel NOMEX y cinta aislante de alta temperatura con el fin de evitar cortos en los devanados. El núcleo del transformador fue sujetado con cinta metálica diamagnética.

Un modelo lineal del transformador construido fue obtenido por medio de pruebas a circuito abierto y corto circuito. La prueba a circuito abierto en el transformador fue hecha con 87Vrms, ya que a esta condición el transformador tiene el flujo máximo en su núcleo. Para el caso de la prueba en corto circuito, los devanados en delta se corto-circuitaron, se aplicó un voltaje tal que la corriente de línea fuera de 2.57A, que es la corriente máxima de los devanados. Los resultados obtenidos en estas pruebas se muestran en la Tabla 4.5.

Tabla 4.4. Parámetros de los devanados del transformador

Parámetro	Devanado Primario	Devanado Secundario
Número de Vueltas (N)	278	481
Diámetro del conductor (mm)	0.723	0.511
No. De conductores por vuelta	2	2
Densidad de corriente (A/mm sq)	4.79	5.53
NWPL	49	70
NL	6	7
Área del devanado (mm sq)	421.5036	384.6094
Longitud del Alambre (m)	46.1341	79.8080298

Tabla 4.5. Análisis de potencia en el Transformador Trifásico

Circuito Abierto		Corto Circuito	
Potencia promedio (P)	7.55W	Potencia promedio (P)	42.37W
Potencia aparente(P_S)	26.89VA	Potencia aparente(P_S)	42.91VA
Potencia reactiva (P_Q)	25.67VAR	Potencia reactiva (P_Q)	6.73VAR

Las pruebas de circuito abierto y corto circuito del transformador fueron realizados utilizando una fuente de CA , California Instruments y un analizador de potencia NORMA 5000, el cual reveló que la inductancia magnetizante, L_m , las pérdidas del núcleo, R_c , la inductancia de fuga, L_{lk} , y las perdidas del cobre, R_{cu} , fueran las listadas en la Tabla 4.6.

Tabla 4.6. Elementos parásitos del transformador

Parámetro	Valor Experimental
Circuito Abierto	
Resistencia del núcleo (R_c)	3.006k Ω
Inductancia magnetizante (L_m)	2.34H
Corto Circuito	
Resistencia del cobre (R_{cu})	2.16 Ω
Inductancia de fuga (L_{kl})	36.54mH

4.4.1.5 Circuito de balanceo magnético del transformador.

Debido a los antecedentes experimentales al momento de operar el inversor híbrido descrito por los M. en C. Nancy Mondragón [4-1] y Alejandro Villarruel [4-2], se llegó a la conclusión de que estos sucesos eran generados por la corriente magnetizante del transformador, ya que el crecimiento desmedido de la corriente magnetizante circulaba a través de los dispositivos de conmutación provocando que estos quedaran inactivos. Existen dos métodos para tratar de anular el efecto que se produce en la corriente magnetizante: una de ellas es utilizar un control por lazo de fase enganchada (Phase Locked Loop - PLL) para tratar de estabilizar la corriente y el otro método es usando dispositivos pasivos. Actualmente otro estudiante de posgrado está

empleando estos métodos y explicarlo está más allá del objetivo de este trabajo. Un método pasivo que ayuda a balancear la corriente magnetizante es a través de la conexión de un inductor en paralelo a cada devanado en la delta del transformador. Se colocaron 3 inductores en paralelo de la misma inductancia y con un pequeño entrehierro, el cual evita su saturación; además que la inductancia debe ser alta para que se disminuya el valor de la corriente magnetizante. En la Figura 4.5 se muestra la conexión de las inductancias antes mencionadas en paralelo a la conexión delta del transformador.

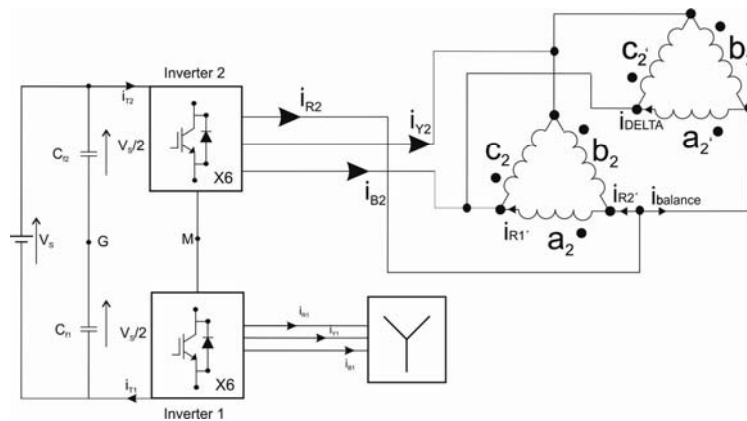


Figura 4.5. Conexión de inductancias en paralelo al transformador delta

4.4.1.6 Cargas resistivas

Para el cálculo de las resistencias de carga se utilizó la ecuación de la potencia de salida. Se considero la potencia a la cual fue diseñado el inversor híbrido multiniveles y el voltaje a la salida, finalmente se obtuvo $I_{rms} = 2.62A$ y un valor de $R_{carga\ por\ fase} = 48.2\Omega$. Por lo tanto las cargas resistivas elegidas fueron de 50Ω a $300W$, de la empresa Resistencias de Potencia S.A de C.V, México.

4.4.2 Etapa de Interfaz

Como se mencionó al inicio del capítulo la etapa de interfaz es un arreglo de compuertas AND y OR que evitan la generación de un corto circuito en el inversor. Este circuito fue diseñado y construido por el M. en C. Alejandro Villarruel Parra [4-2]. Para su funcionamiento la etapa de interfaz se divide en 2 fases, la fase de protección y la fase de deshabilitación.

La fase de protección del circuito detecta si dos transistores de una pierna inversora son activados realizando una comparación entre las señales de control y sus respectivos transistores, si estos corresponden manda un “1” lógico indicando que una pierna inversora esta activa. Estas señales son agrupadas dependiendo del inversor, superior e inferior. En la fase de deshabilitación las señales provenientes de la fase de procesamiento son comparadas para determinar si existe un corto circuito en el inversor, es decir que los transistores de dos piernas inversoras estén activas al mismo tiempo, en este caso se activará un “1” lógico bloqueando las salidas hacia los driver o circuitos de disparo de los módulos IGBT, de lo contrario las señales serán enviadas sin ningún problema.

4.4.3 Etapa de control

En la etapa de control se programaron los algoritmos para generar las señales de control de cada uno de los modos de operación en los que puede funcionar el inversor híbrido multiniveles. Se utilizó una tarjeta de desarrollo ATMEL STK500 [4-8], con un módulo de expansión STK503 [4-8] y un dispositivo microcontrolador de alto rendimiento y baja potencia AVR ATMEGA2560 [4-9].

En la Tabla 4.7 se muestran las características generales del microcontrolador. Los códigos de programación fueron realizados con la ayuda del software AVR STUDIO [4-8], en el Apéndice D se muestra el código del algoritmo de 7 niveles SVPWM.

Tabla 4.7. Características del microcontrolador AVR ATMEGA 2560

Flash (kbytes)	256
EEPROM (kbytes)	4
SRAM (bytes)	8192
Terminales de entrada y salida	86
Frecuencia Máxima de Operación	16 MHz
Voltaje soportado	1.8 V – 5.5 V
Convertidores A/D de 10 bits	16
16-bit Timers	4
8-bit Timers	2

4.5 Diseño final del circuito impreso

El diseño de la nueva tablilla fue realizado en el software Altium Designer [4-10], este programa incluye librerías de algunos componentes esenciales, pero en el caso de los módulos IGBT se tuvo que crear la librería ya que no contaba con ella. En la realización del PCB se trató de reducir componentes parásitos en las pistas en donde circularan señales de alta frecuencia y en las pistas donde pasan señales de alta potencia, además de optimizar la utilización de fuentes de alimentación, tener un mejor sistema de tierras para evitar ramificaciones en la corriente circulante, así como en evitar problemas mecánicos que se presentaban en versiones anteriores. En el Apéndice F se muestran los negativos de la placa de potencia que se usaron para la construcción del prototipo.

El circuito impreso se construyó mediante la técnica de planchado utilizando recursos de bajo costo, una vez impreso en la tablilla fenólica se procedió a descubrir la placa con la ayuda de cloruro férrico, después se perforó la misma para finalmente soldar los componentes evitando dejar soldaduras frías y evitar capacitancias parásitas.

En el Apéndice G se muestra una foto del prototipo final con cada una de sus etapas.

4.6 Resumen

En el presente capítulo se mostraron detalles técnicos del diseño y de construcción del prototipo inversor híbrido multiniveles. Se detallaron las especificaciones y parámetros de operación para realizar el cálculo y la selección de los componentes adecuados que finalmente integraron el prototipo inversor. Se consideró un nuevo diseño de este para minimizar problemas mecánicos, capacitancias parásitas, evitar la saturación del transformador incrementando la inductancia, mediante la conexión de bobinas con un pequeño entrehierro en paralelo al circuito delta del transformador y reducir el uso innecesario de fuentes de alimentación para evitar redundancias y lazos de corriente innecesarios.

4.7 Referencias

- [4-1] Mondragón-Escamilla Nancy, “Análisis, diseño y construcción de un inversor multiniveles de 1 kW para futuros medios de transporte”, Sección de estudios de posgrado e investigación, unidad Culhuacan.
- [4-2] Villarruel-Parra Alejandro, “Técnicas de control PWM para un convertidor multiniveles híbrido”, Sección de estudios de posgrado e investigación, unidad Culhuacan.
- [4-3] 944U Polypropylene, DC Filter Capacitors Datasheet. Available:
<http://www.cde.com/catalogs/944U.pdf>
- [4-4] BSM 25 GD 120 DN2 Datasheet. Available:
<http://www.ceipsa.com.mx/userfiles/file/BSM25GD120DN2.pdf>
- [4-5] IRS21853SPBF Datasheet. Available:
<http://www.ceipsa.com.mx/userfiles/file/BSM25GD120DN2.pdf>
- [4-6] Application Note AN-1123. Available:
<http://www.irf.com/technical-info/appnotes/an-1123.pdf>
- [4-7] Mondragón-Escamilla, N.; Villarruel-Parra, A.; Araujo-Vargas, I.; Sanchez-Garcia J.C., “Design and Construction of a Three-Phase Transformer for a 1 kW Multi-level Converter,” *in Proceedings of International Conference On Electrical, Communications and Computers*, Cholula, Puebla, Feb. 26 – 28, 2009, pp. 74-78.
- [4-8] ATMEL STK500, STK503. Available:
http://www.atmel.com/dyn/products/tools_card.asp?tool_id=2735
- [4-9] ATMEGA2560 Datasheet. Available:
http://www.atmel.com/dyn/resources/prod_documents/doc2549.pdf, AVR ATmega 2560 Manual, 2010.
- [4-10] Altium Designer. Available:
<http://www.altium.com/na/>

CAPÍTULO 5.

VERIFICACIÓN EXPERIMENTAL DEL INVERSOR HÍBRIDO CON SVPWM

5.1 Introducción

En el siguiente capítulo se muestran los resultados experimentales obtenidos con el prototipo construido para los modos de operación de 7 niveles, 7 niveles PWM y 7 niveles SVPWM. El capítulo se organiza inicialmente describiendo el análisis de los voltajes generados en los inversores superior e inferior, el voltaje presente en el transformador y en la salida del inversor, así como las corrientes de fase y de línea de la conexión delta-estrella obtenidas para cada modo de operación. Además se realizó un análisis de las corrientes presentes en los inductores conectados en paralelo a la delta del transformador para evitar el crecimiento desmedido de la corriente magnetizante I_m .

5.2 Parámetros de operación del prototipo

Las pruebas experimentales se desarrollaron bajo 3 condiciones de operación: 7 niveles, 7 niveles PWM y 7 niveles SVPWM. La Tabla 5.1 muestra los parámetros requeridos en cada una de ellas considerando una frecuencia fundamental de salida, f_o , de 60Hz.

Tabla 5.1. Condiciones de operación del prototipo

Parámetro	7 niveles	7 niveles PWM	7 niveles SVPWM
Voltaje de suministro (V_s)	50V		
Frecuencia de conmutación (f_{sw})	60Hz	6.84kHz	7.2kHz

Para la obtención de los resultados experimentales se empleó el diagrama a bloques de la Figura 5.1 el cual muestra un esquema de conexión entre las diferentes etapas que componen el prototipo del inversor. Las mediciones se realizaron empleando el equipo mencionado en la Tabla 5.2.

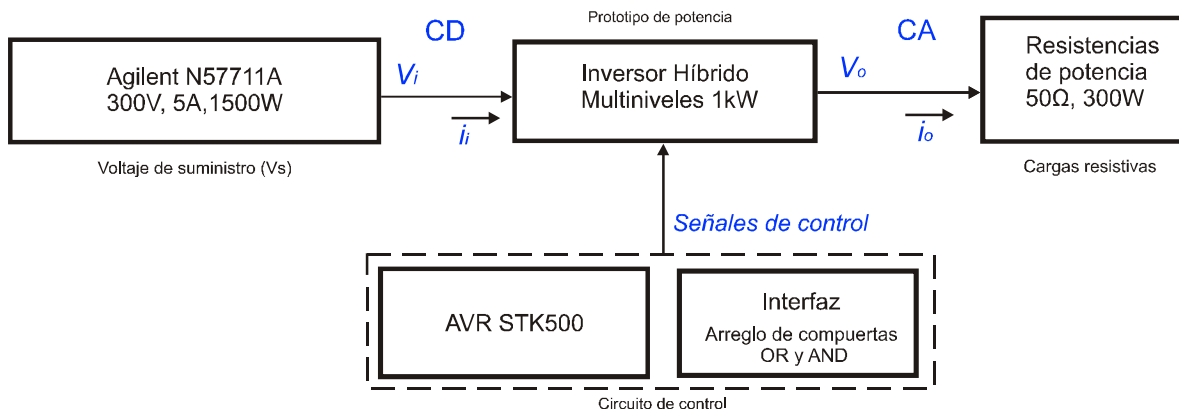


Figura 5.1 Diagrama a bloques de la conexión del prototipo para la obtención de los resultados experimentales

Tabla 5.2 Equipo utilizado para realizar las mediciones sobre el inversor híbrido multiniveles

Equipo	Capacidades
Fuente de alimentación de CD Agilent N57711A	300V @ 5A -1500W
Fuente de alimentación de CD Agilent U8001A	0-30V @ 3A
Sonda diferencial LeCroy DA1855A	500 Vmax @ 100A
Sonda diferencial de corriente AP015	BW 50MHz @ 30A
Osciloscopio Agilent MSO6012A	BW 100MHz
Osciloscopio LeCroy	400MHz, 4 CH
Inversor híbrido multiniveles	Prototipo a 1kW
Banco de resistencias	50 Ω @ 300W

5.3 Verificación de los modos de operación del inversor híbrido

Debido a la re-activación del prototipo inversor híbrido multiniveles, las pruebas experimentales se iniciaron analizando los modos de operación previos, 7 niveles y 7 niveles PWM descritos en [5-1] y [5-2]. Ya verificados estos modos de operación y teniendo en cuenta los parámetros necesarios para la operación en cada uno de ellos, se tuvo la seguridad de operar el prototipo en el modo de operación de 7 niveles SVPWM. Las siguientes secciones describen los resultados obtenidos para cada modo de operación.

5.3.1 Modo de operación de 7 niveles

Las siguientes pruebas experimentales obtenidas con el prototipo inversor en el modo de operación de 7 niveles se realizaron aplicando un voltaje de suministro de 50V con una demanda de corriente de 0.616A.

5.3.1.1 Señales de control

En esta sección se presentan las señales de control que fueron aplicados para operar el prototipo en el modo de operación de 7 niveles. En la Figura 5.2 se muestra las señales de control durante un ciclo completo, obtenidas mediante la programación del algoritmo que determina los estados de cada transistor para que el prototipo inversor opere en el modo de 7 niveles. En la parte alta de la Figura 5.2 se muestra la señal D0 que es el indicador del inicio de una interrupción que marca el cambio de sector y a su vez el encendido y apagado de los transistores correspondientes. Las señales $D_1 - D_6$ representan los pulsos de activación para los transistores del inversor inferior, tal que las parejas D_{1-4} , D_{3-6} y D_{5-2} son las señales de activación para las ramas inversoras R_1 , Y_1 y B_1 respectivamente. Estas señales tienen un periodo de activación de $7\pi/6$ y $5\pi/6$ de apagado y cada señal está desfasada $\pi/3$ con respecto al otro. En la parte baja de la misma figura se muestran las señales $D_7 - D_{12}$, que representan los pulsos de activación para los transistores del inversor superior guardando el mismo comportamiento que las del inversor inferior, donde las parejas D_{7-10} , D_{9-12} y D_{11-8} son los pulsos de activación de los transistores de las ramas inversoras R_2 , Y_2 y B_2 , respectivamente; sin embargo, la operación de los transistores del inversor superior esta adelantada por $\pi/6$ con respecto a los transistores del inversor inferior.

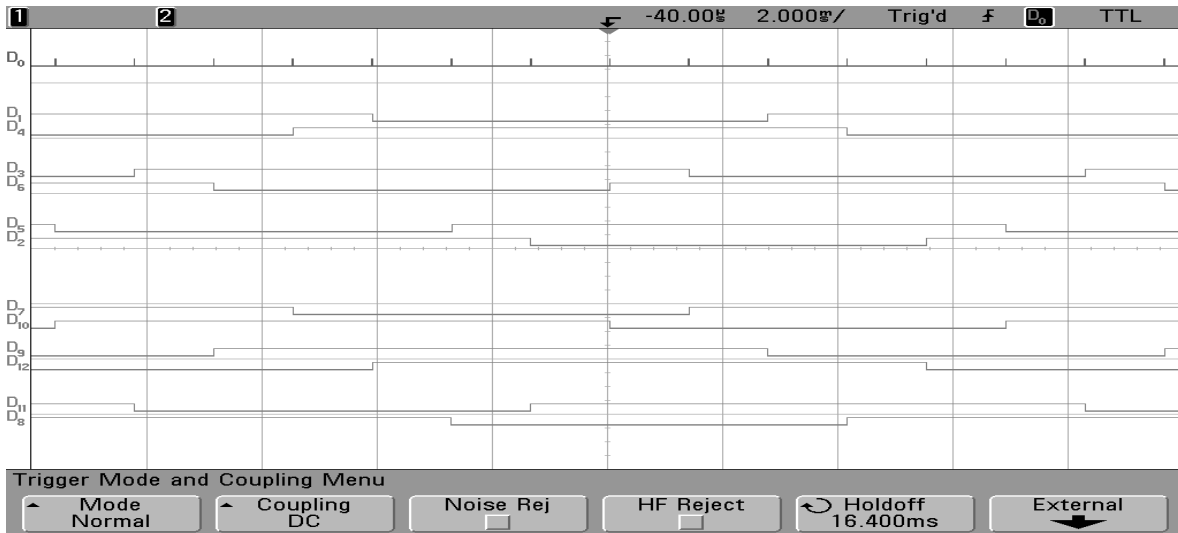


Figura 5.2 Señales de control en el modo de operación de 7 niveles con una frecuencia fundamental de 60Hz. Vertical, estado lógico de la señal de control, horizontal 2 ms/div.

5.3.1.2 Formas de onda de voltaje

Las Figuras 5.3 y 5.4 muestran las formas de onda de voltaje del inversor inferior, v_{R1G} , v_{Y1G} y v_{B1G} , y del inversor superior, v_{R2G} , v_{Y2G} y v_{B2G} , con respecto al nodo G. Estas señales tienen una amplitud fundamental de $\pm 25V$ a una frecuencia de 60Hz, aproximadamente $\pm V_s/2$, además se pueden observar algunas espigas en estos voltajes debido a la conmutación de los transistores. Las formas de onda v_{Y1G} , v_{Y2G} , v_{B1G} y v_{B2G} tienen un desfase de 120° y 240° respectivamente.

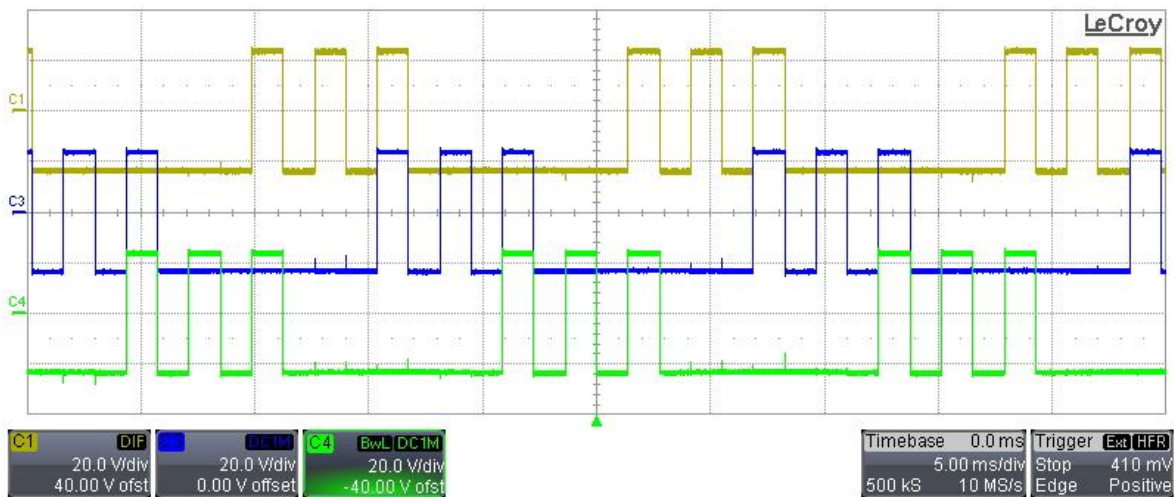


Figura 5.3 Formas de onda de voltaje v_{R1G} , v_{Y1G} y v_{B1G} en el modo de operación de 7 niveles

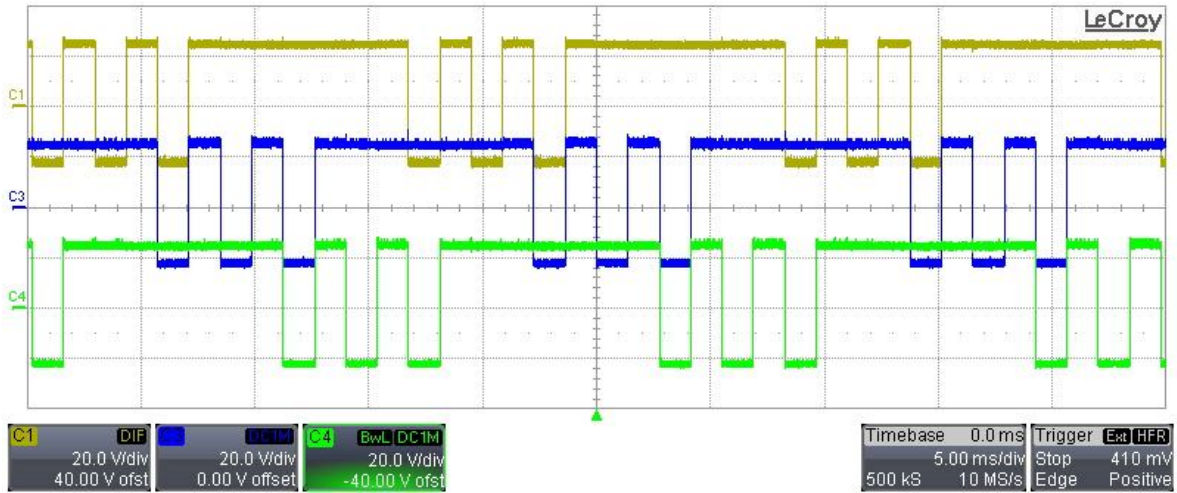


Figura 5.4 Formas de onda de voltaje v_{R2G} , v_{Y2G} y v_{B2G} en el modo de operación de 7 niveles

La Figura 5.5 muestra el voltaje en el devanado primario y el voltaje en el devanado secundario del transformador, v_{Rprim} y v_{Rsec} , respectivamente. Se puede observar que v_{Rsec} tiene una amplitud de $\pm 28V$, aproximadamente $\pm \frac{V_s}{\sqrt{3}}$, mientras que la amplitud que se presenta en el devanado primario es $\pm 50V$. Esto es debido a la conexión interna del transformador [5-3].

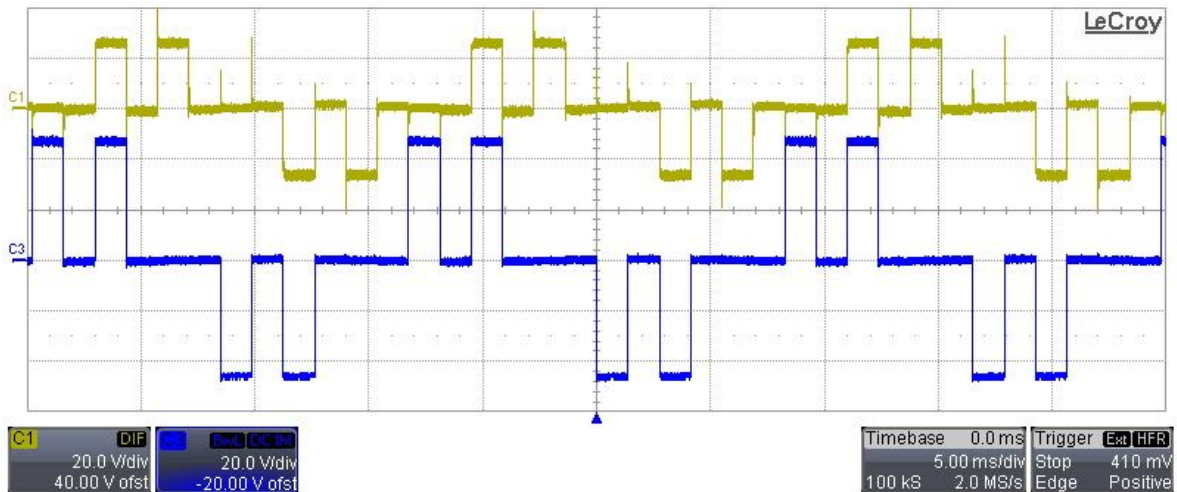
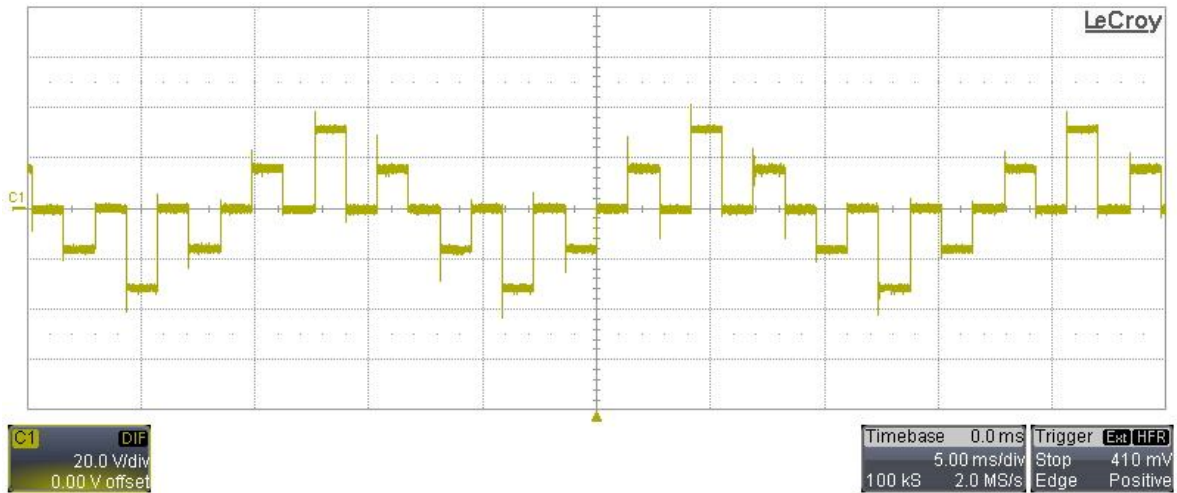


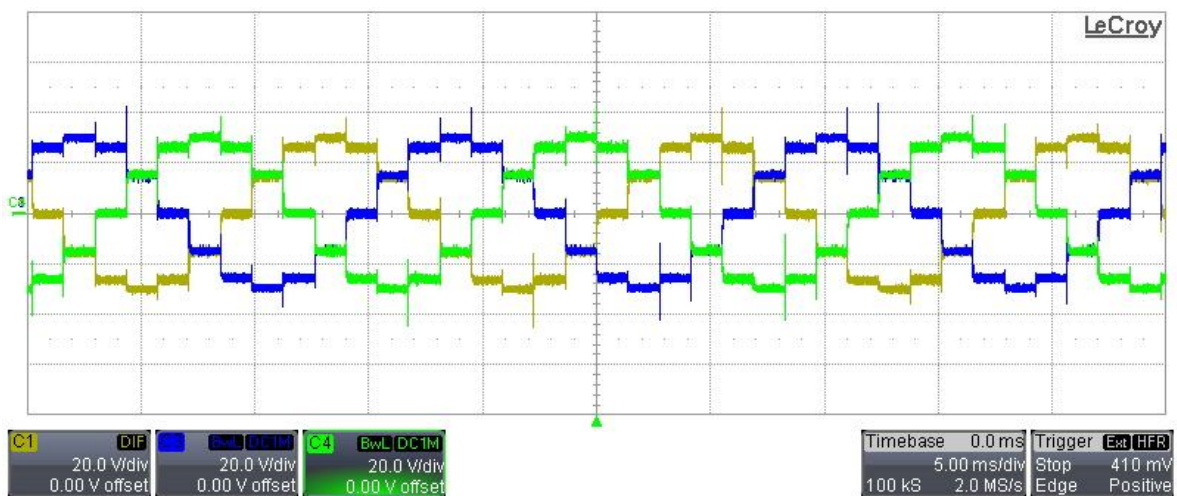
Figura 5.5 Formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles

El voltaje que se presenta en la pierna inversora R del inversor inferior con respecto al nodo N del banco de cargas resistivas, v_{R1N} , es mostrado en la Figura 5.6. v_{R1N} tiene una amplitud de voltaje de $\pm 28V$ aproximadamente con sobre tiros de voltaje de 40V los cuales son ocasionados por la operación de los transistores y elementos parásitos propios del transformador.

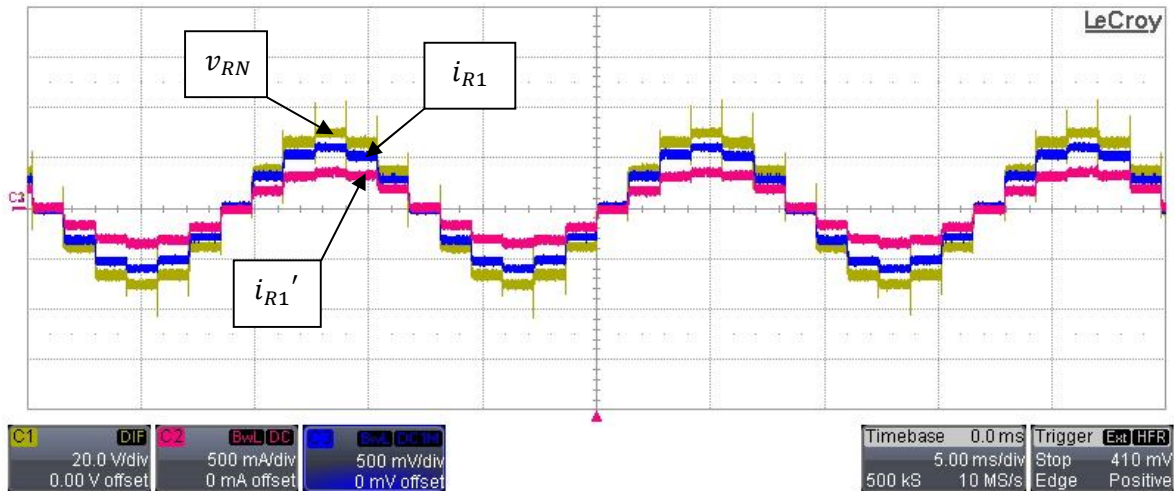


5.6 Forma de onda de voltaje v_{R1N} en el modo de operación de 7 niveles

Por último la Figura 5.7 muestra las formas de onda de voltaje de salida de 7 niveles v_{RN} , v_{YN} y v_{BN} . El voltaje v_{RN} tiene una amplitud de $\pm 32V$ y es obtenido mediante la suma del voltaje v_{R1N} y v_{Rsec} , ecuación (2.10), Sección 2.4, Capítulo 2. Esta señal muestra picos de voltaje causados por elementos parásitos que responden a cambios de alta frecuencia, tales como pequeñas inductancias y/o capacitancias propias de cada dispositivo. v_{YN} y v_{BN} presentan la misma amplitud de voltaje y la obtención de cada una de ellas es similar a v_{RN} pero con su respectivo voltaje referido a neutro (v_{Y1N} y v_{B1N}).

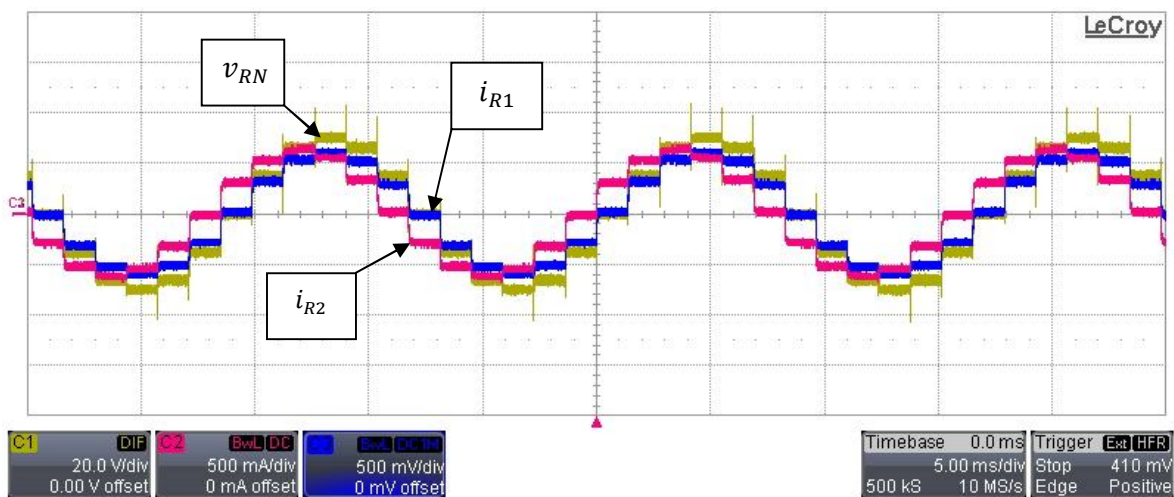


5.7 Forma de onda de voltaje v_{RN} , v_{YN} y v_{BN} en el modo de operación de 7 niveles

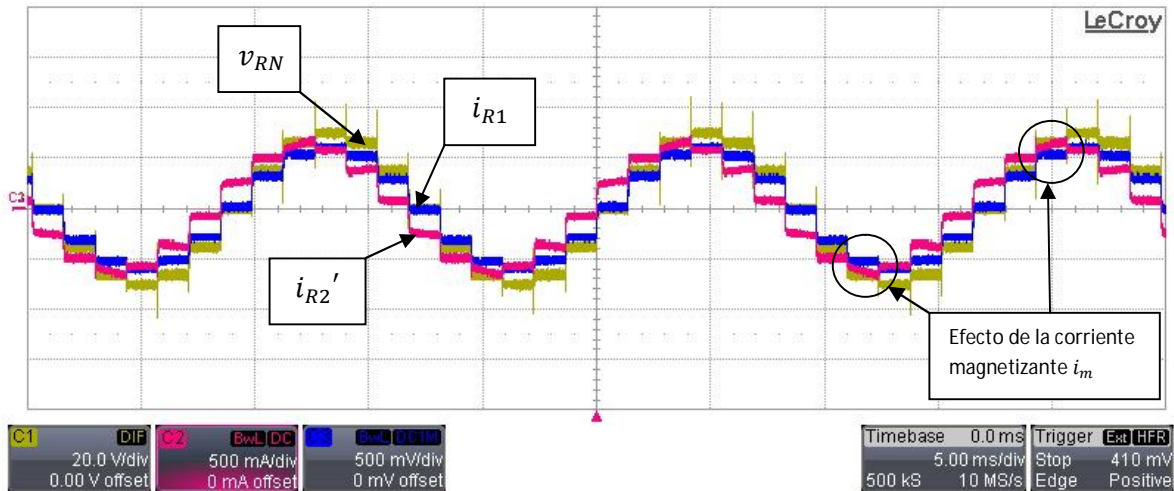


5.9 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R1}' en el modo de operación de 7 niveles

Las Figuras 5.10 y 5.11 muestran nuevamente las formas de onda v_{RN} e i_{R1} en contraste con las corrientes i_{R2} (figura 5.10) e i_{R2}' (figura 5.11). i_{R2} es la corriente de línea que entra al devanado primario delta del transformador, mientras que i_{R2}' es la corriente que entra a los inductores a_2 y b_2 en la delta del transformador. La amplitud que se presenta en estas formas de onda de corriente, i_{R1} , i_{R2} e i_{R1} , i_{R2}' es la misma pero existe un desfase de 30° entre ellas. Por otra parte la amplitud que tiene i_{R2} e i_{R2}' son similares pero i_{R2}' se ve afectada por el efecto de la inductancia magnetizante y la inductancia propia de los inductores auxiliares que la contienen, además en la figura 5.11 se puede observar el efecto de la corriente magnetizante, I_m , como una suave pendiente cuando los devanados del transformador son polarizados.

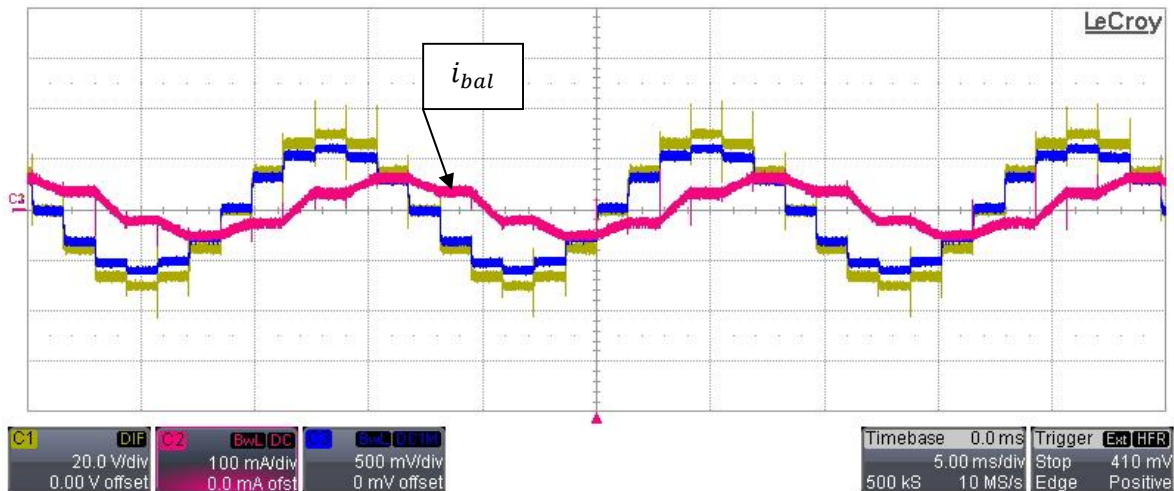


5.10 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles

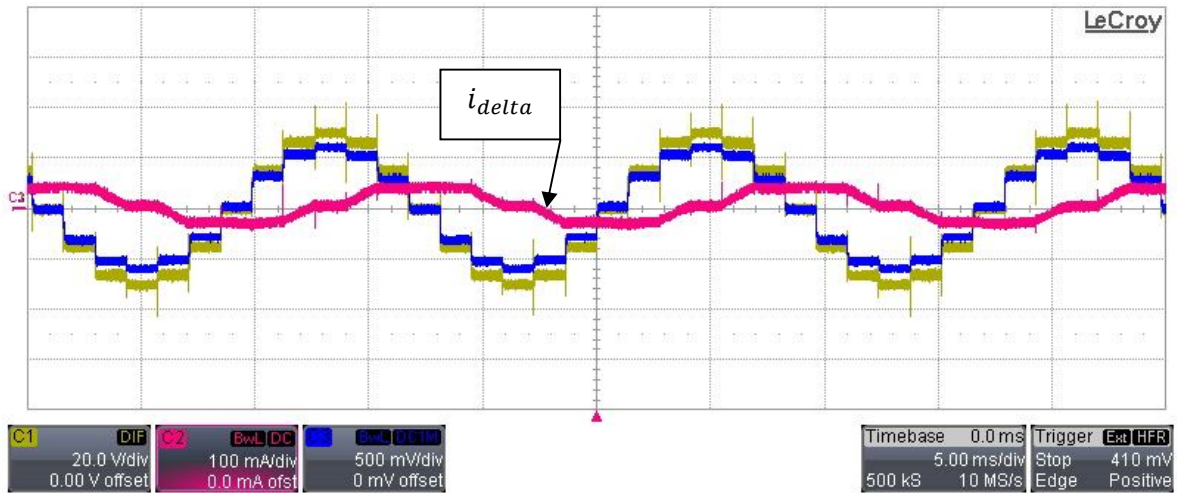


5.11 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2}' en el modo de operación de 7 niveles

La corriente i_{bal} es mostrada en la Figura 5.12. Esta corriente se origina como resultado de la corriente i_{R2} e i_{R2}' , tiene una amplitud fundamental de $\pm 70mA$. En cambio en la Figura 5.13 se observa la corriente de fase, i_{delta} , presente en el devanado a_2' , la cual tiene una amplitud de $\pm 40mA$. Cabe mencionar que estas dos corrientes son las que originan la compensación en el transformador evitando que la corriente magnetizante eleve su valor desmedidamente ocasionando problemas a dispositivos vecinos o relacionados al circuito de potencia.

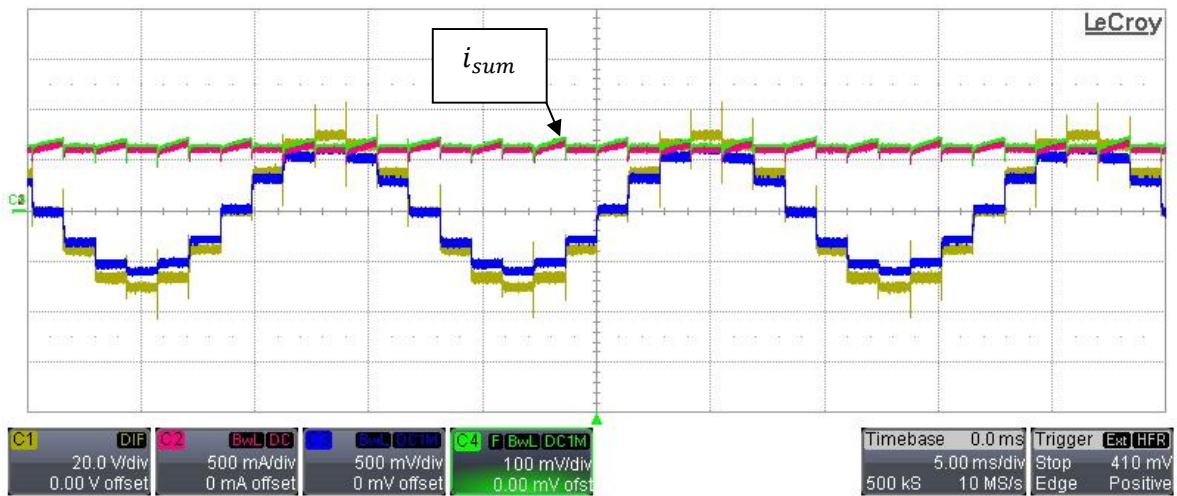


5.12 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e $i_{balance}$ en el modo de operación de 7 niveles



5.12 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{delta} en el modo de operación de 7 niveles

En la Figura 5.13 se muestran las formas de onda, v_{RN} , i_{R1} y la corriente de suministro i_{sum} . En la corriente i_{sum} se puede apreciar la conmutación efectuada entre los inversores 1 y 2 en donde la parte plana es cuando el inversor 1 está activo y la rampa representa la activación del inversor 2 con el efecto de la corriente magnetizante, i_m .



5.13 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} , i_{sum} e i_{res} en el modo de operación de 7 niveles

5.3.2 Modo de operación de 7 niveles PWM

En la presente sección se muestran las pruebas experimentales obtenidas con el prototipo inversor en el modo de operación de 7 niveles PWM aplicando un voltaje de suministro de 50V con una demanda de corriente de 0.610A. El esquema general de este apartado es igual que la sección anterior debido a que la obtención de resultados se hizo sobre las mismas señales.

5.3.2.1 Señales de control

En esta sección se presentan las señales de control que fueron aplicadas para operar el prototipo en el modo de operación de 7 niveles PWM. La Figura 5.14 presenta las señales de control de los transistores deducidas del algoritmo implementado por la modulación PWM [5-2]. Así como la Figura 5.2 en donde se muestran las señales de control en el modo de operación de 7 niveles, la primera señal de la Figura 5.14, D_0 , es la señal que indica el inicio de una interrupción que marca el cambio de sector y a su vez el encendido y apagado de los transistores correspondientes. Las parejas D_{1-4} , D_{3-6} y D_{5-2} son las señales de activación para las ramas inversoras R_1 , Y_1 y B_1 respectivamente del inversor inferior. Estas señales tienen un periodo de activación de $7\pi/6$ y $5\pi/6$ de apagado; cada señal está desfasada $\pi/3$ con respecto al otro y se puede observar la modulación PWM existente al inicio y al final de cada pulso. Los pulsos de activación para los transistores del inversor superior tiene el mismo comportamiento que las del inversor inferior, las parejas D_{7-10} , D_{9-12} y D_{11-8} son los pulsos de activación de los transistores de las ramas inversoras R_2 , Y_2 y B_2 respectivamente.

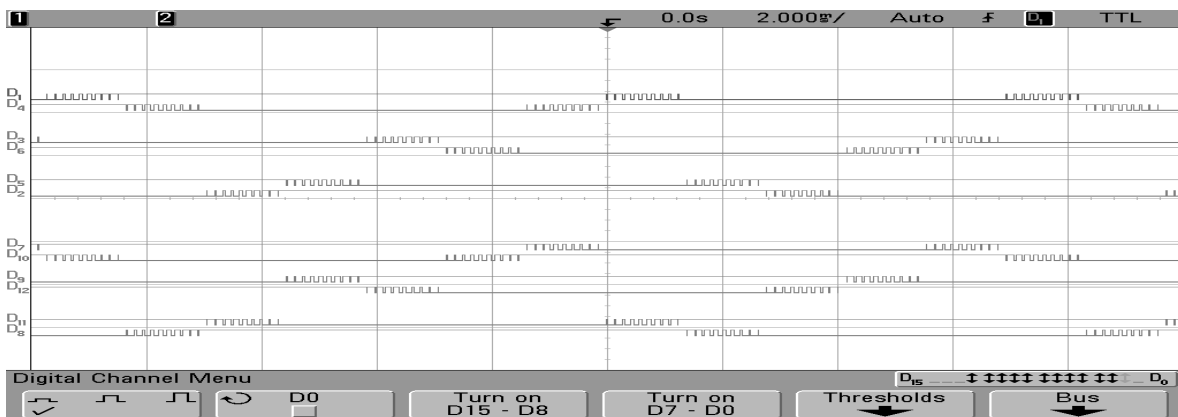


Figura 5.14 Señales de control en el modo de operación de 7 niveles PWM con una frecuencia fundamental f_0 de 60Hz y una frecuencia de conmutación f_{sw} de 6.84kHz. Vertical, estado lógico de la señal de control, horizontal 2 ms/div.

5.3.2.2 Formas de onda de voltaje

Para verificar el funcionamiento del inversor en el modo de 7 niveles PWM se revisan las formas de onda de voltaje en cada inversor. Las Figuras 5.15 y 5.16 presentan las formas de onda de voltaje del inversor inferior y superior $v_{RIG}, v_{Y1G}, v_{B1G}$ y $v_{R2G}, v_{Y2G}, v_{B2G}$ respectivamente. Estas señales al igual que los voltajes en el modo de operación de 7 niveles, tienen una amplitud fundamental de $\pm 25V$ con una frecuencia de conmutación de 6.48Hz y una frecuencia fundamental de 60Hz.

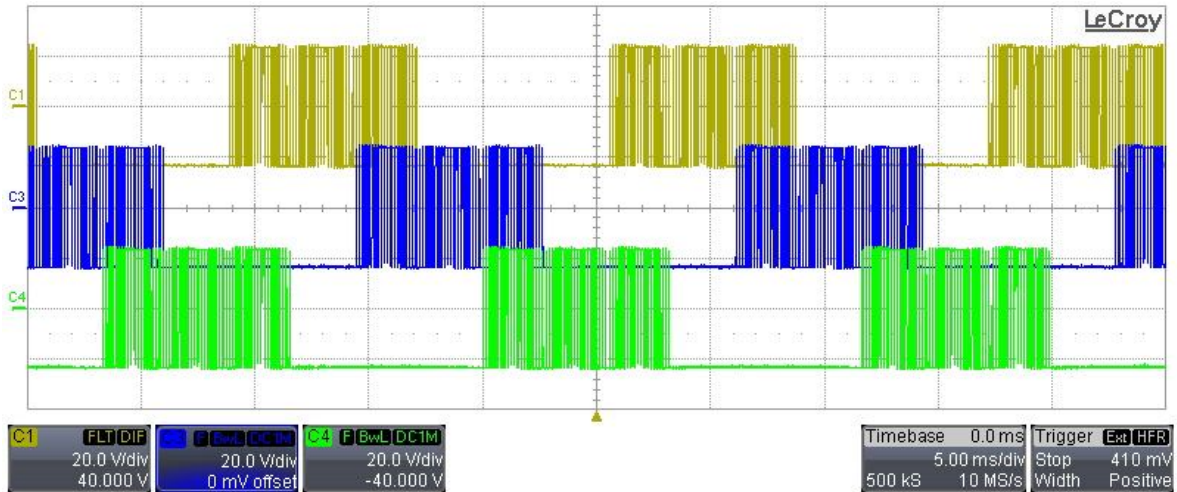


Figura 5.15 Formas de onda de voltaje v_{RIG}, v_{Y1G} y v_{B1G} en el modo de operación de 7 niveles PWM

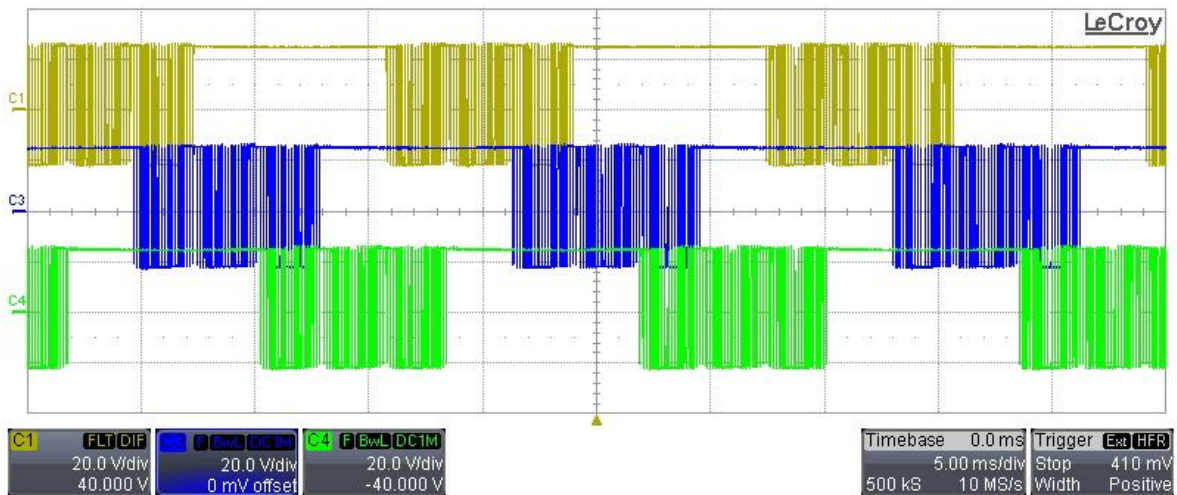
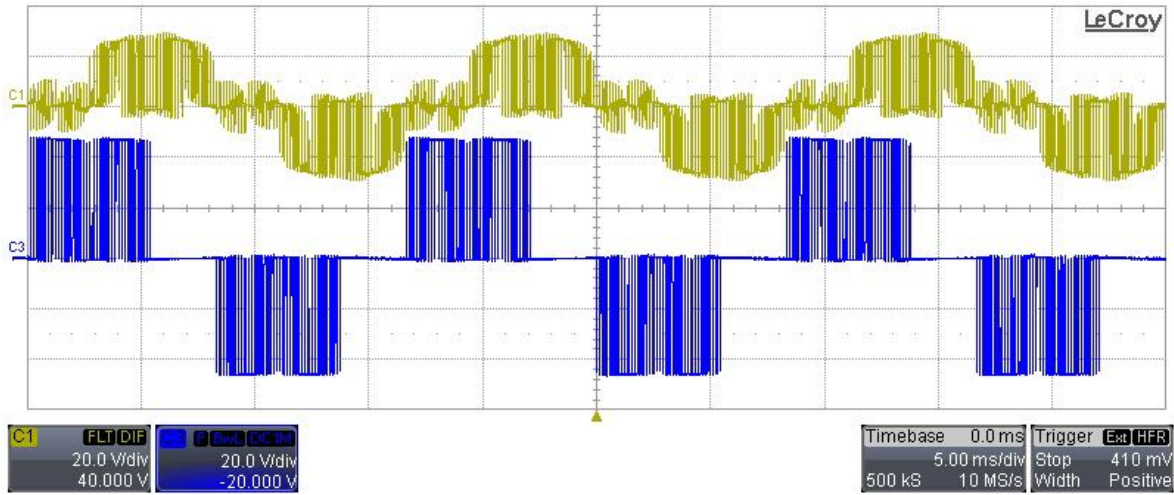


Figura 5.16 Formas de onda de voltaje v_{R2G}, v_{Y2G} y v_{B2G} en el modo de operación de 7 niveles PWM

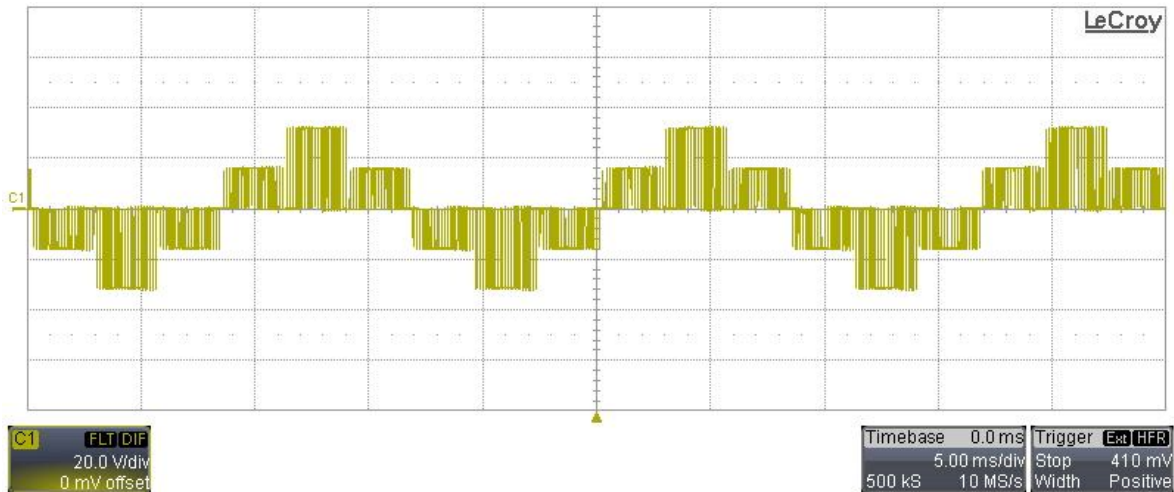
La primera forma de onda mostrada en la Figura 5.17 es el voltaje en el devanado secundario de la fase R, v_{Rsec} , el cual muestra una forma de onda pulsante con niveles de voltaje de $\pm V_s/\sqrt{3}$, con una deformación originada por la modulación empleada y por la inductancia magnetizante, i_m , del

transformador. La segunda forma de onda es el voltaje en el devanado primario, v_{Rprim} , con una amplitud de $\pm 50V$.



5.17 Formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles PWM

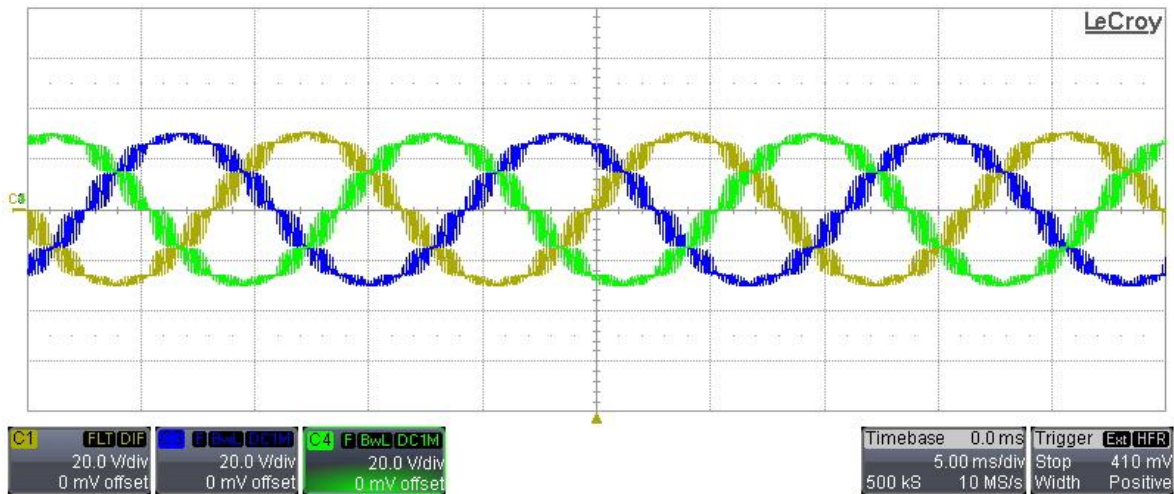
En la Figura 5.18 se muestra el voltaje v_{R1N} , esta señal consta de cinco niveles de voltaje: $+2V_s/3$, $+V_s/3$, 0 , $-V_s/3$ y $-2V_s/3$, en donde el nivel más alto tiene una amplitud de voltaje de $\pm 28V$ aproximadamente.



5.18 Forma de onda de voltaje v_{R1N} en el modo de operación de 7 niveles PWM

La Figura 5.19 muestra los voltajes de salida de 7 niveles v_{RN} , v_{YN} y v_{BN} . Estos voltajes tienen una amplitud de $\pm 32V$ y presentan deformaciones o curvaturas en cada uno de los pulsos de la

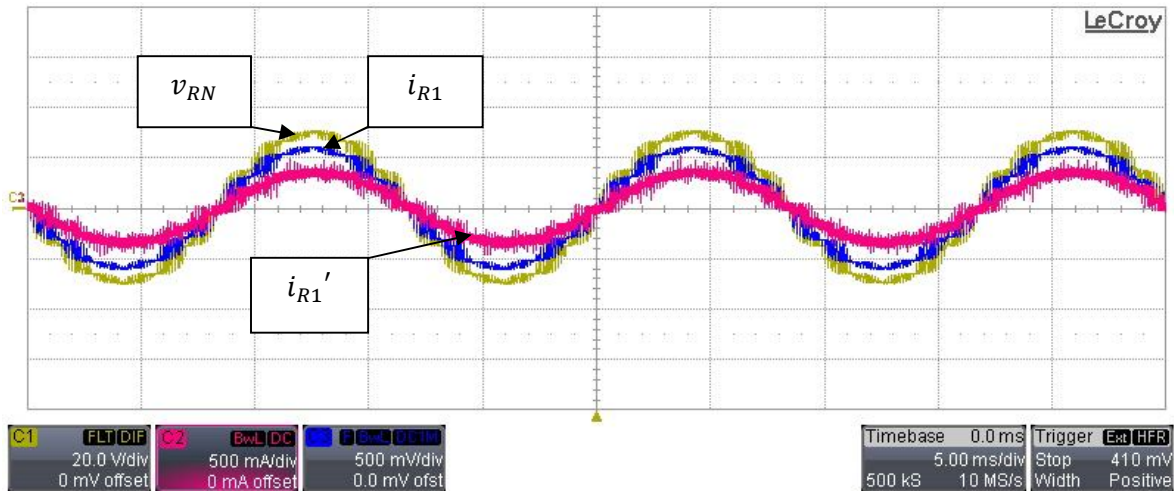
modulación, debidas a elementos parásitos del transformador, y en particular a la inductancia de fuga.



5.19 Forma de onda de voltaje v_{RN}, v_{YN}, v_{BN} en el modo de operación de 7 niveles PWM

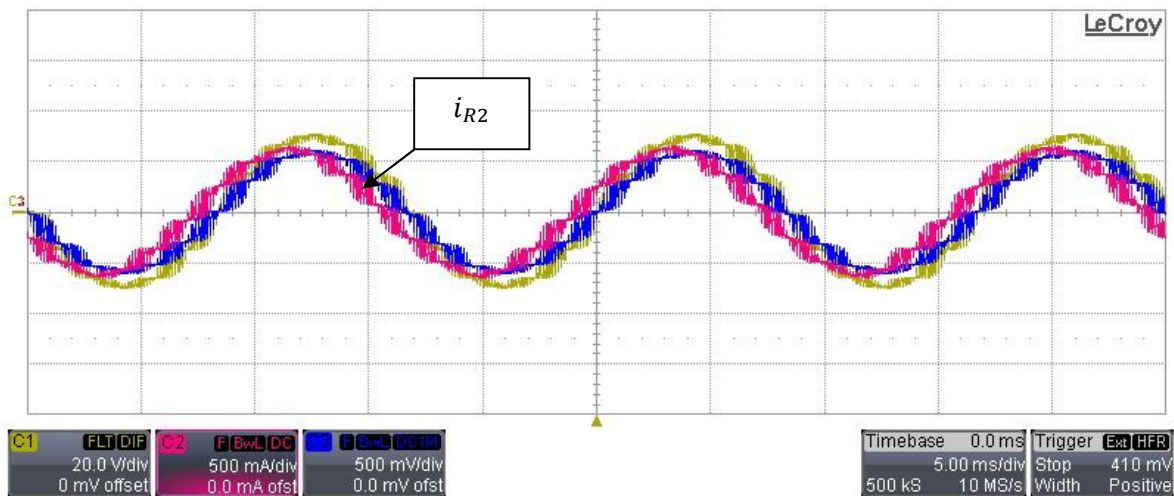
5.3.2.3 Formas de onda de corriente

Al igual que la modulación de 7 niveles a continuación se muestran las corrientes presentes en la delta del transformador y en los inductores conectados en paralelo a esta. La Figura 5.20 muestra las formas de onda v_{RN} e i_{R1} , señales base a lo largo de los resultados experimentales que componen esta sección. La misma figura muestra la corriente de fase i_{R1}' presente en el devanado primario del transformador. Al igual que las formas de onda de corriente en el modo de operación de 7 niveles, en esta figura se puede apreciar que i_{R1} tiene una amplitud de $\pm 650\text{mA}$, mientras que la corriente presente en i_{R1}' tiene la misma magnitud que i_{R1} pero sobre un factor de $\sqrt{3}$ debido a la relación de transformación que tiene la conexión delta-estrella del transformador [5-3]. Las dos señales se encuentran en fase y en ellas se puede observar claramente la modulación PWM que tiene en cada escalón que la compone.

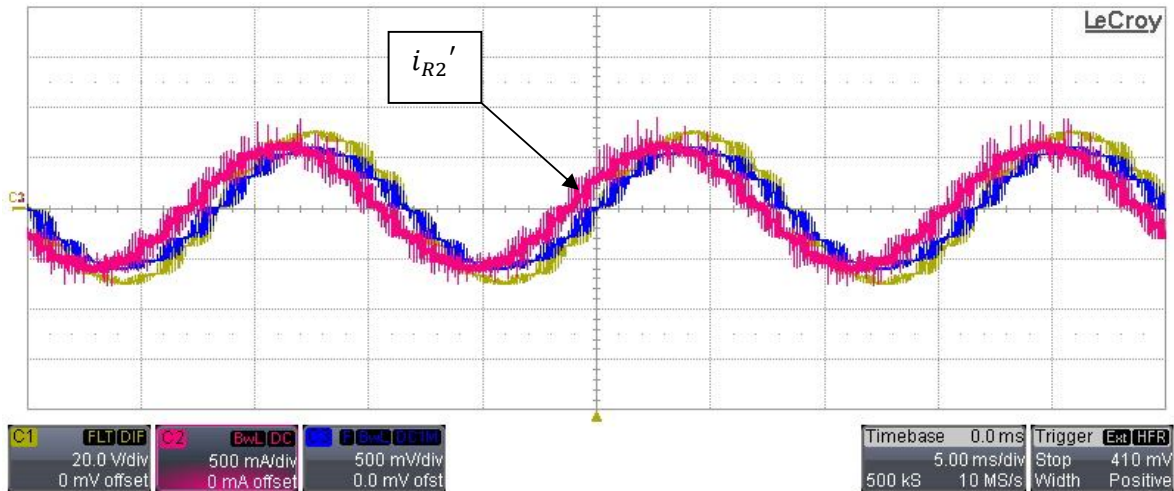


5.20 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R1}' en el modo de operación de 7 niveles PWM

La corriente i_{R2} e i_{R2}' son mostradas en las Figuras 5.21 y 5.22 respectivamente, dichas señales tiene un desfase de 30° con respecto a la corriente de línea en el devanado estrella del transformador i_{R1} . La amplitud de estas corrientes es de $\pm 650mA$ para i_{R2} y $\pm 700mA$ para i_{R2}' , esta última señal presenta una mayor distorsión y picos de sobre corriente debido al conjunto de bobinas que la componen.

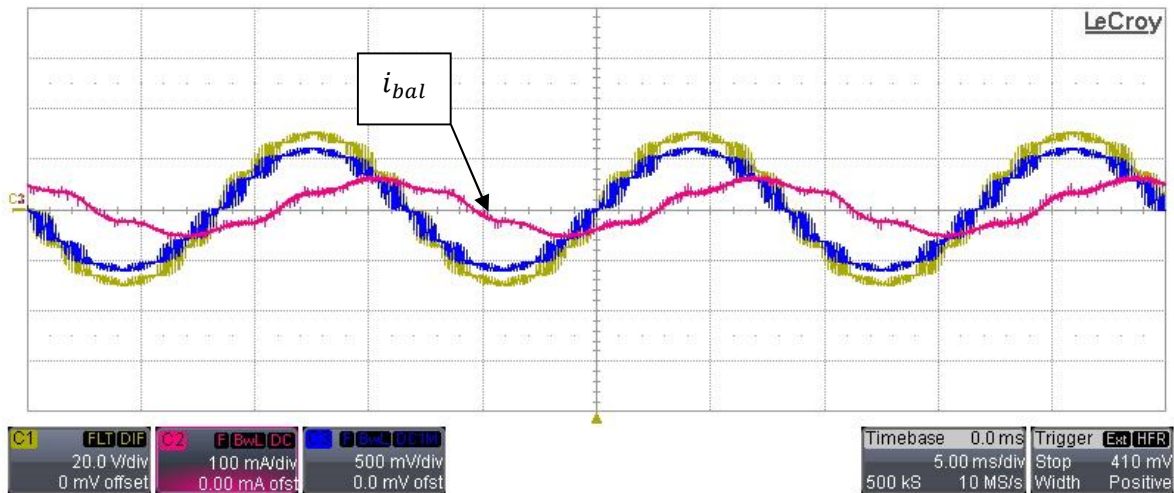


5.21 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles PWM

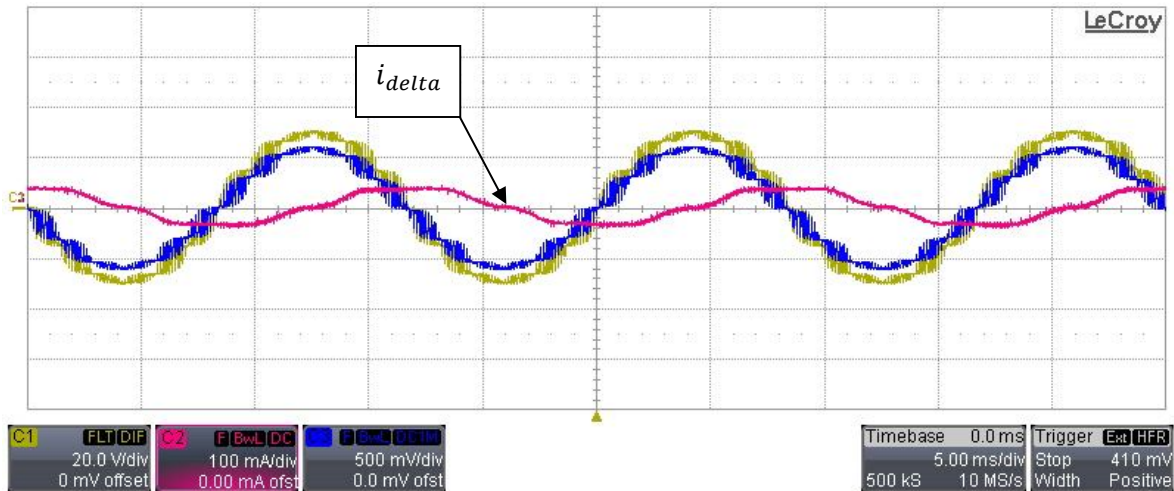


5.22 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2}' en el modo de operación de 7 niveles PWM

La corriente i_{bal} es mostrada en la Figura 5.23, esta corriente se origina como resultado de la corriente i_{R2} e i_{R2}' , tiene una amplitud fundamental de $\pm 70mA$. En la Figura 5.24 se observa la corriente de fase, i_{delta} , presente en el devanado a_2' , la cual tiene una amplitud de $\pm 40mA$. Las corrientes anteriores generan la compensación de la corriente magnetizante en el transformador obligando a que la i_m permanezca constante a lo largo de la operación del inversor.

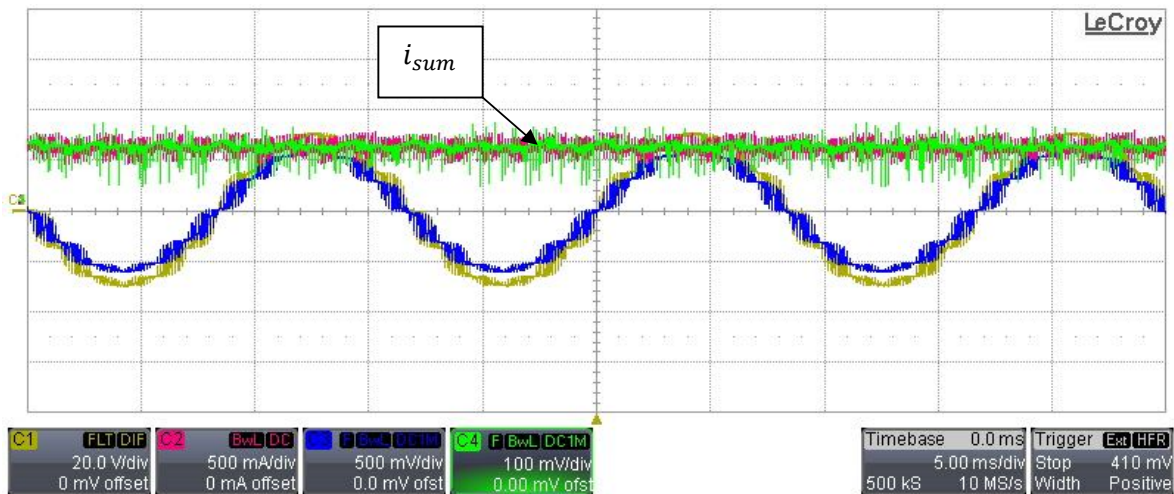


5.23 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{bal} en el modo de operación de 7 niveles PWM



5.24 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{delta} en el modo de operación de 7 niveles PWM

Por último la Figura 5.25 muestra la forma de onda de corriente i_{sum} ; Al igual que la señal obtenida en el modo de operación de 7 niveles, aun es visible la conmutación entre los inversores 1 y 2, pero esta señal es afectada por la alta frecuencia a la que están conmutando los transistores y por la interferencia que llega al nodo común, provocando que la corriente se vea un poco sucia o distorsionada.



5.25 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} , i_{sum} e i_{res} en el modo de operación de 7 niveles PWM

5.3.3 Modo de operación de 7 niveles SVPWM

La siguiente sección muestra las pruebas experimentales realizadas con el prototipo inversor en el modo de operación de 7 niveles SVPWM aplicando un voltaje de suministro de 50V con una demanda de corriente de 0.581A. El esquema general que tiene este apartado es igual que el esquema de los 2 modos de operación anteriores debido a que la obtención de resultados se hizo sobre las mismas señales.

5.3.3.1 Señales de control

En esta sección se presentan las señales de control que fueron aplicadas para operar el prototipo en el modo de operación de 7 niveles SVPWM. La Figura 5.26 consta de 16 señales. La señal D_0 tiene un periodo de $138\mu\text{s}$ y corresponde al número de pulsos por sector, en donde cada 10 pulsos equivale a 1 sector. D_{13} , D_{14} y D_{15} son los valores sustraídos de las tablas de consulta T_0 , T_{0T1_UP} , T_{0T1_DOWN} y T_{0T1T2} . Al igual que en las 2 secciones anteriores, las parejas D_{1-4} , D_{3-6} y D_{5-2} son las señales de activación para las ramas inversoras R_1 , Y_1 y B_1 del inversor inferior y las parejas D_{7-10} , D_{9-12} y D_{11-8} son los pulsos de activación de los transistores de las ramas inversoras R_2 , Y_2 y B_2 del inversor superior.

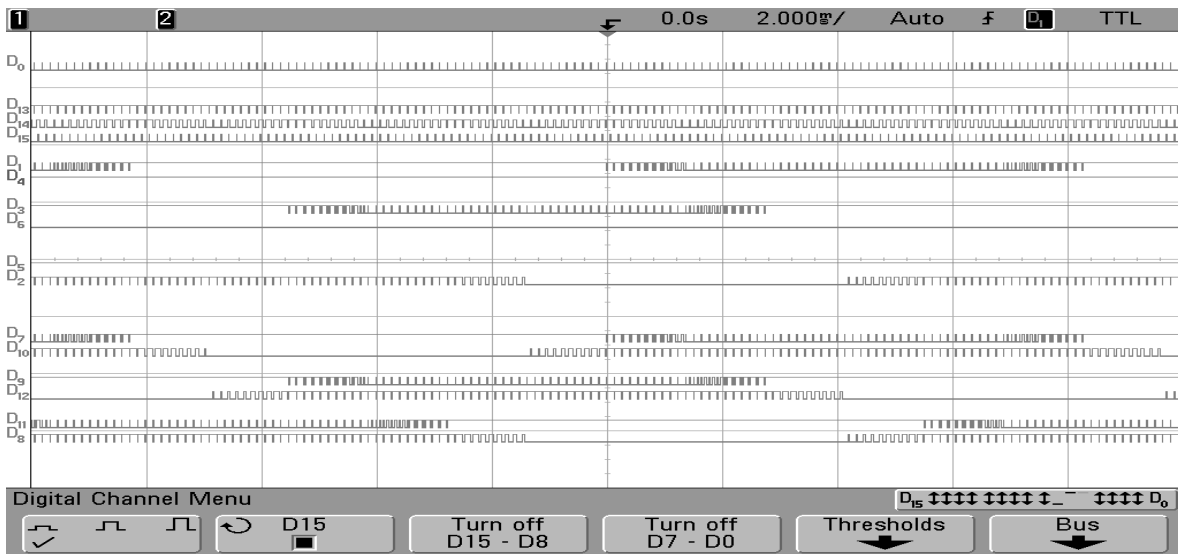


Figura 5.26 Señales de control en el modo de operación de 7 niveles SVPWM con una frecuencia fundamental f_0 de 60Hz y una frecuencia de conmutación f_{sw} de 7.2kHz. Vertical, estado lógico de la señal de control, horizontal 2 ms/div.

5.3.3.2 Formas de onda de voltaje

Una vez verificado el funcionamiento del prototipo inversor con los dos modos de operación base, se procedió a probar el funcionamiento del inversor en el modo de 7 niveles SVPWM.

Las Figuras 5.27 y 5.28 presentan las formas de onda de voltaje del inversor inferior y superior $v_{R1G}, v_{Y1G}, v_{B1G}$ y $v_{R2G}, v_{Y2G}, v_{B2G}$ respectivamente. Las formas de onda tienen una frecuencia de conmutación de 7.2kHz y se observa que las señales varían desde un mínimo a un máximo de acuerdo a los vectores de estado de los transistores, es decir, durante un nivel de $-V_s/2$ los transistores de la parte baja del inversor inferior se encuentran activos durante más tiempo. En contraste con las formas de onda de voltaje obtenidas con los modos de operación de 7 niveles y 7 niveles PWM, estos voltajes presentan transiciones con mayor frecuencia debido al desgaste de los transistores por su conmutación en alta frecuencia y a las variaciones de voltaje que se presentan desde un máximo a un mínimo todo el tiempo, a diferencia del modo de operación de 7 niveles PWM, en el cual se encuentran estas transiciones pero sobre un nivel de CD. Las formas de onda $v_{Y1G}, v_{Y2G}, v_{B1G}$ y v_{B2G} tienen un desfase de 120° y 240° respectivamente.

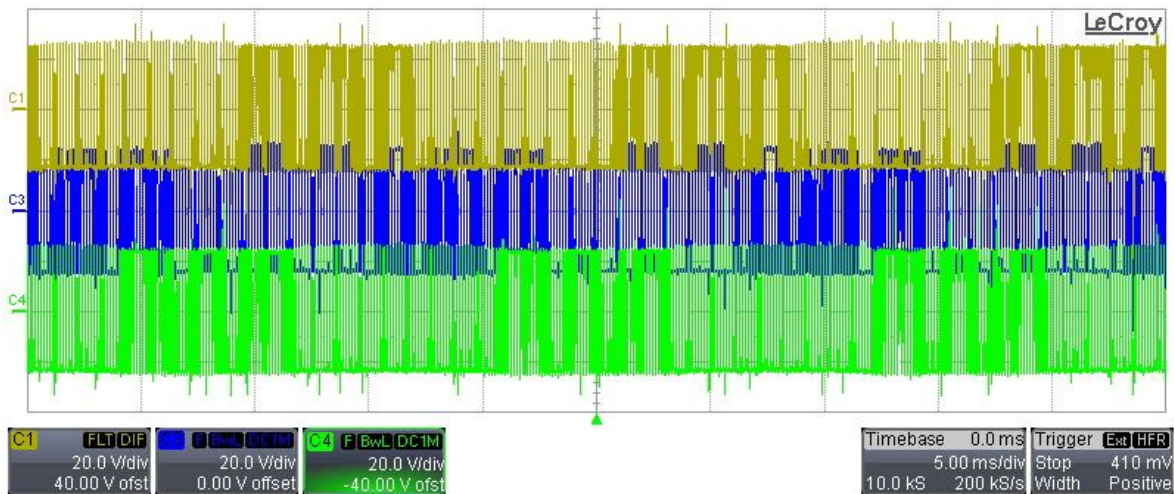


Figura 5.27 Formas de onda de voltaje v_{R1G}, v_{Y1G} y v_{B1G} en el modo de operación de 7 niveles SVPWM

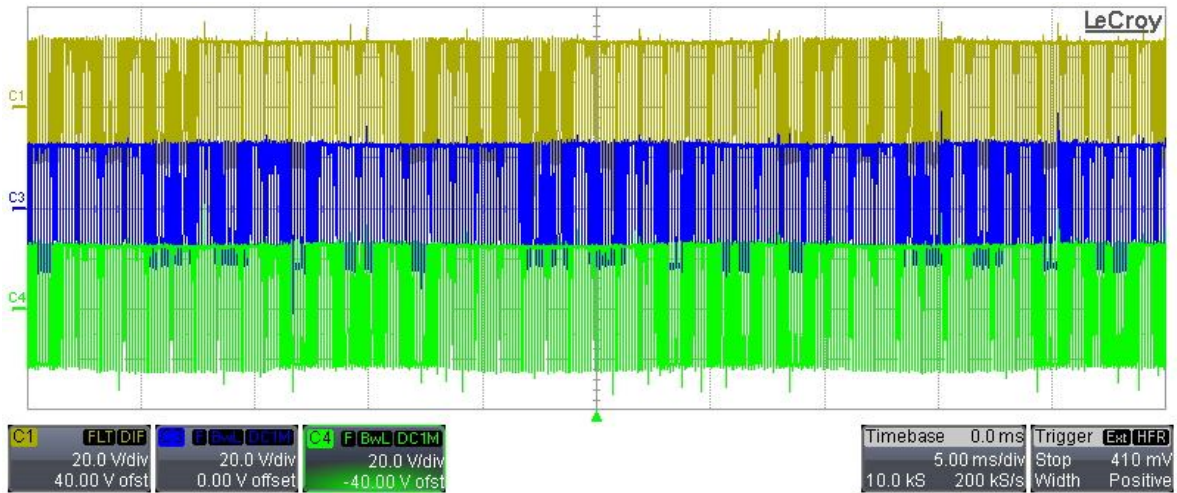


Figura 5.28 Formas de onda de voltaje v_{R2G} , v_{Y2G} y v_{B2G} en el modo de operación de 7 niveles SVPWM

En las Figuras 5.27(a) y 5.28(a) se muestra una ampliación en tiempo de las formas de onda de voltaje v_{R1G} y v_{R2G} respectivamente, en las cuales se puede observar una mejor definición de los niveles de voltaje.

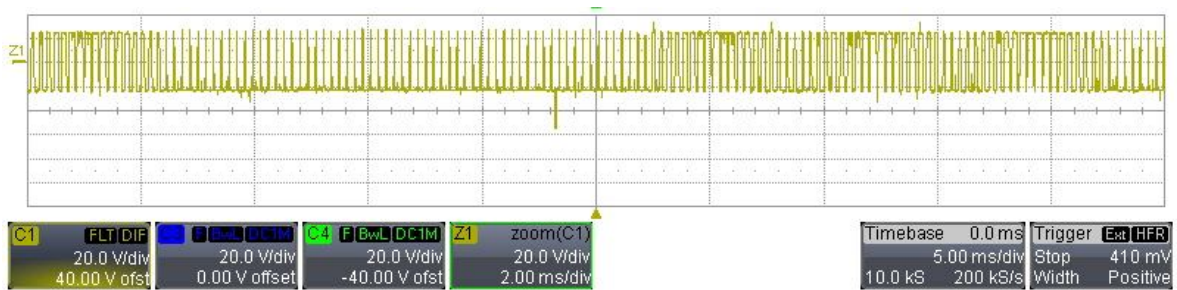


Figura 5.27(a) Ampliación en tiempo de la forma de onda de voltaje v_{R1G} en el modo de operación de 7 niveles SVPWM

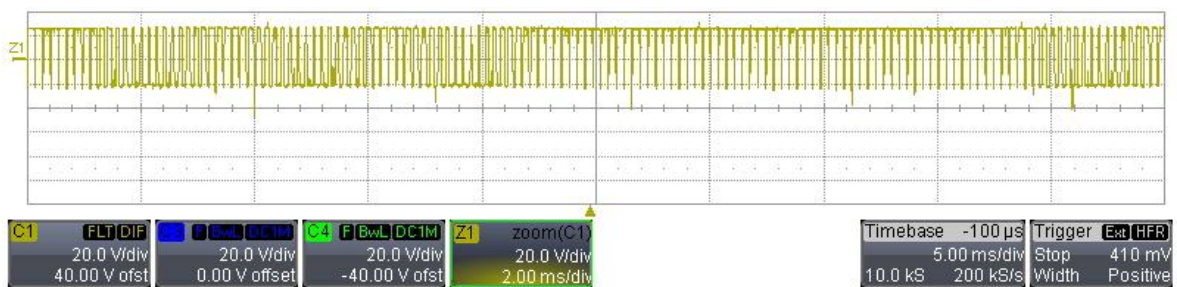
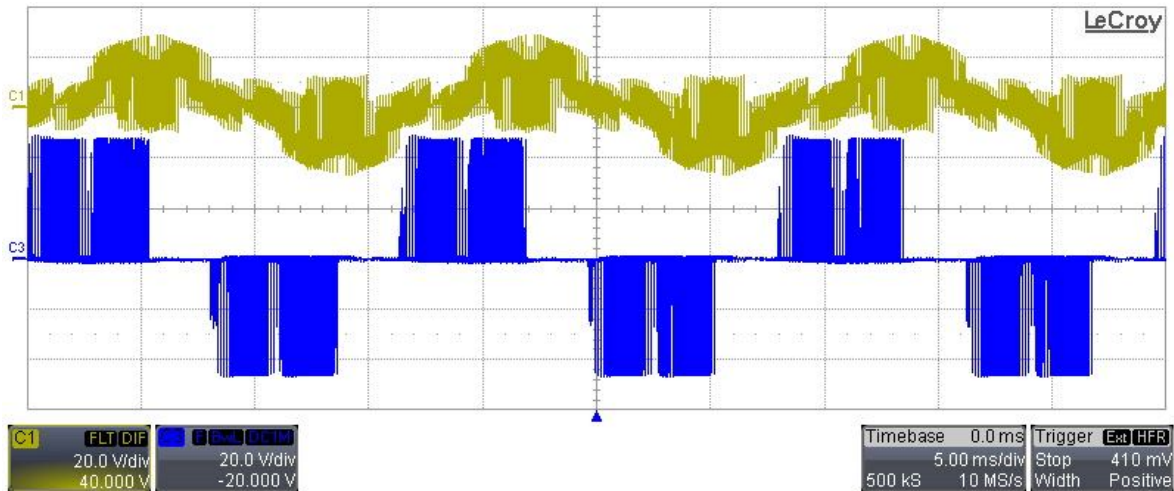


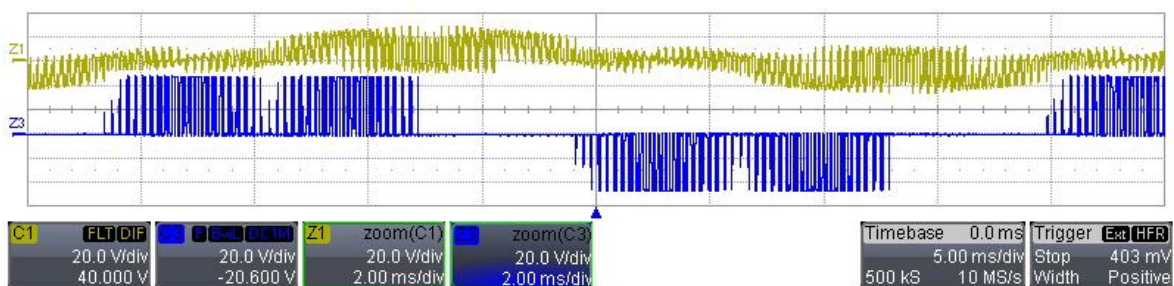
Figura 5.28(a) Ampliación en tiempo de la forma de onda de voltaje v_{R2G} en el modo de operación de 7 niveles SVPWM

En la Figura 5.29 se muestra voltaje v_{Rprim} con una amplitud de $\pm 50V$ y el voltaje v_{Rsec} con una amplitud fundamental de $\pm 28V$, aproximadamente $\pm \frac{V_s}{\sqrt{3}}$. La diferencia de voltaje que existe en el transformador es debida a la conexión interna los devanados del mismo [5-3]. Además se puede observar que la señal pulsante del voltaje en el devanado secundario v_{Rsec} está deformada, debido a la modulación utilizada y a la inductancia magnetizante, L_m del transformador.



5.29 Formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles SVPWM

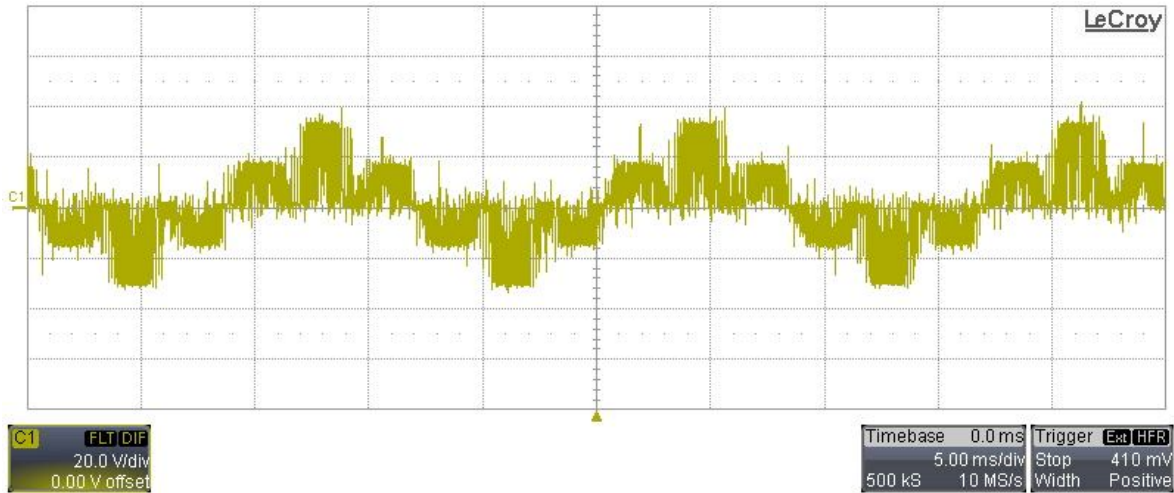
La Figura 5.29(a) presenta una ampliación en tiempo de las formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles SVPWM. En esta señal se observan con claridad los niveles de cada una de los voltajes.



5.29(a) Ampliación en tiempo de las formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles SVPWM

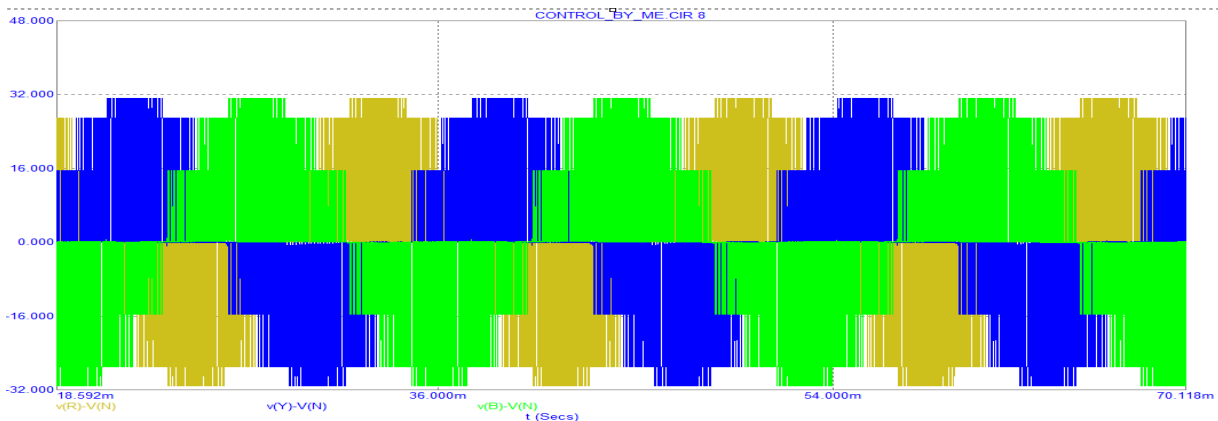
En la Figura 5.30 se muestra el voltaje v_{R1N} que está presente en la rama R del inversor inferior con respecto al nodo N del banco de cargas resistivas. Esta señal tiene una amplitud de voltaje de $\pm 28V$ aproximadamente, con sobre tiros de voltaje de $\pm 40V$ los cuales son ocasionados por el

desgaste de los transistores debido a la modulación y por los elementos parásitos propios del transformador.



5.30 Forma de onda de voltaje v_{R1N} en el modo de operación de 7 niveles SVPWM

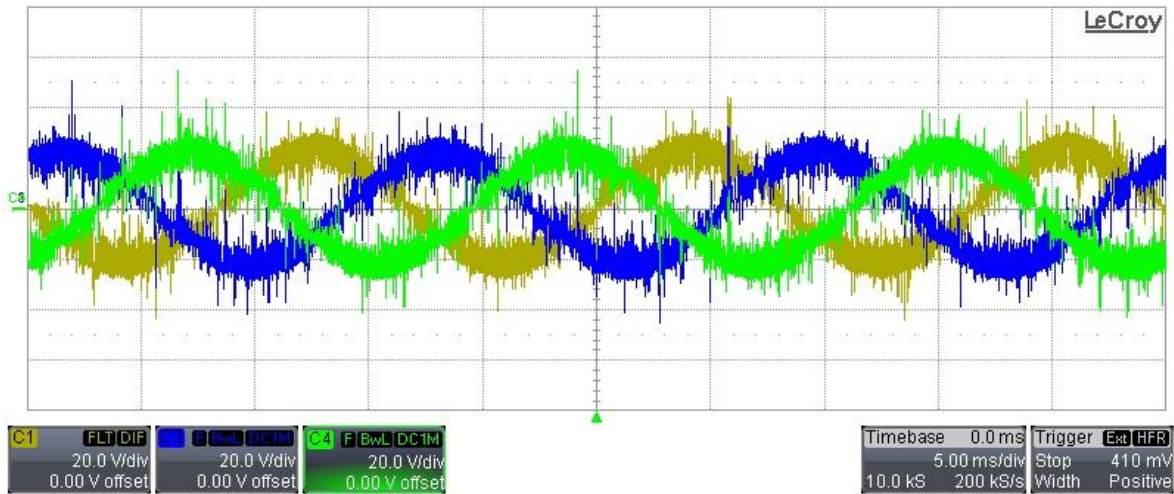
La Figura 5.31 muestra los voltajes de salida de 7 niveles SVPWM obtenidos de la simulación realizada en el software MicroCap9, para validar el funcionamiento del inversor híbrido multiniveles en esta modalidad, el circuito de simulación realizado en MicroCap9 es mostrado en el Apéndice R. Estas señales tienen definidos cada uno de los niveles de voltaje, ya que para realizar la simulación se consideraron 3 transformadores ideales tomando en cuenta la razón de transformación $\sqrt{3}: 1$ y dispositivos con características similares a los reales.



5.31 Forma de onda de voltaje v_{RN} , v_{YN} y v_{BN} obtenidas de simulación en el modo de operación de 7 niveles SVPWM

La Figura 5.32 muestra los voltajes de salida de 7 niveles SVPWM, v_{RN} , v_{YN} y v_{BN} , con una amplitud de $\pm 32V$. Estos voltajes presentan una deformación o curvatura en cada uno de los

pulsos de la modulación y a diferencia de la simulación, las señales de voltaje son completamente sinusoidales, no tocan un nivel de voltaje cero y presentan picos de sobre voltaje de $\pm 58V$ aproximadamente, debidos a la inductancia magnetizante L_m y a la estrategia de modulación empleada.



5.32 Forma de onda de voltaje v_{RN}, v_{YN} y v_{BN} en el modo de operación de 7 niveles SVPWM

5.3.3.3 Formas de onda de corriente

Esta sección presenta las corrientes presentes en el transformador delta-estrella y en los inductores auxiliares conectados en paralelo al devanado delta. En el siguiente listado de figuras se muestra la forma de onda de voltaje v_{RN} y la corriente de línea i_{R1} , debido a que estas dos señales permanecen constantes a lo largo de los resultados experimentales en este modo de operación. La Figura 5.33 muestra la forma de onda de la corriente de la fase R, i_{R1} , presente en primario del transformador. Esta señal tiene una amplitud de $\pm 650mA$ sobre un factor de $\sqrt{3}$ debido a la relación de transformación que existe en la conexión delta-estrella del transformador [5-].

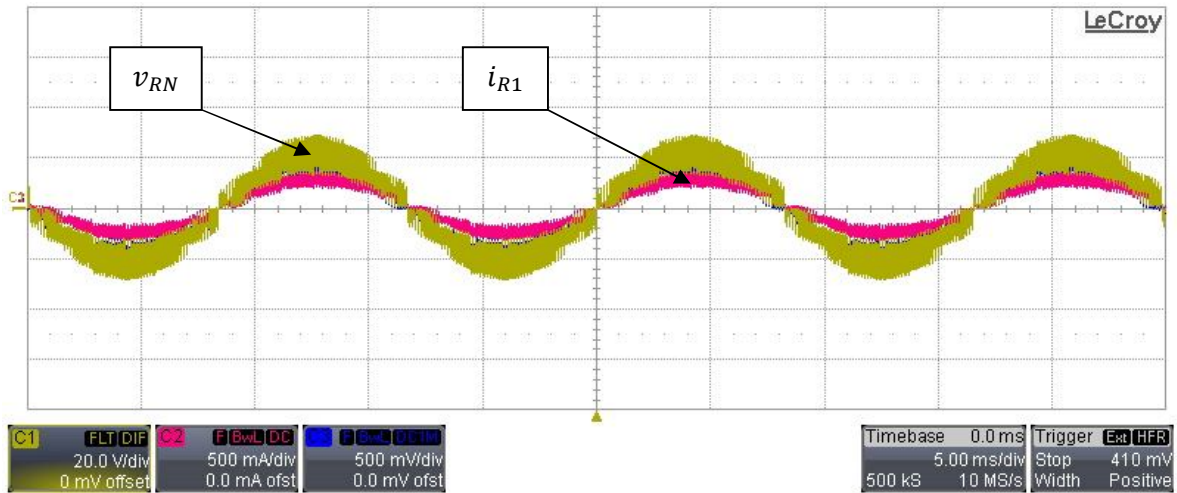
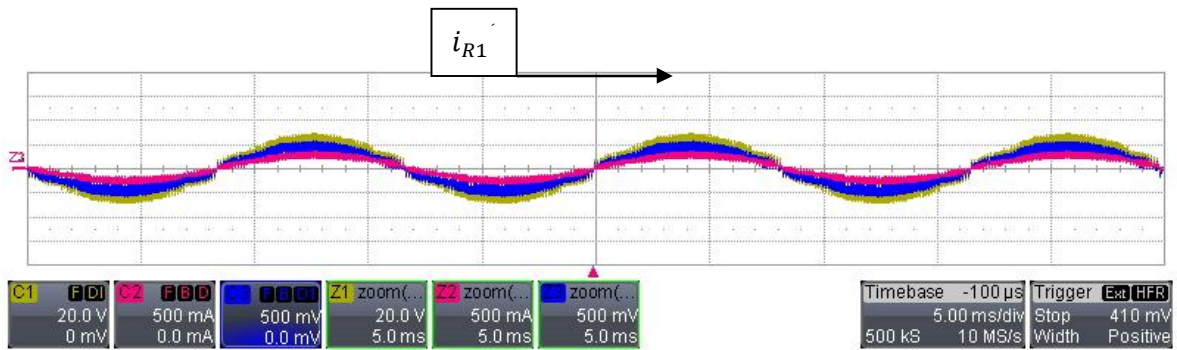


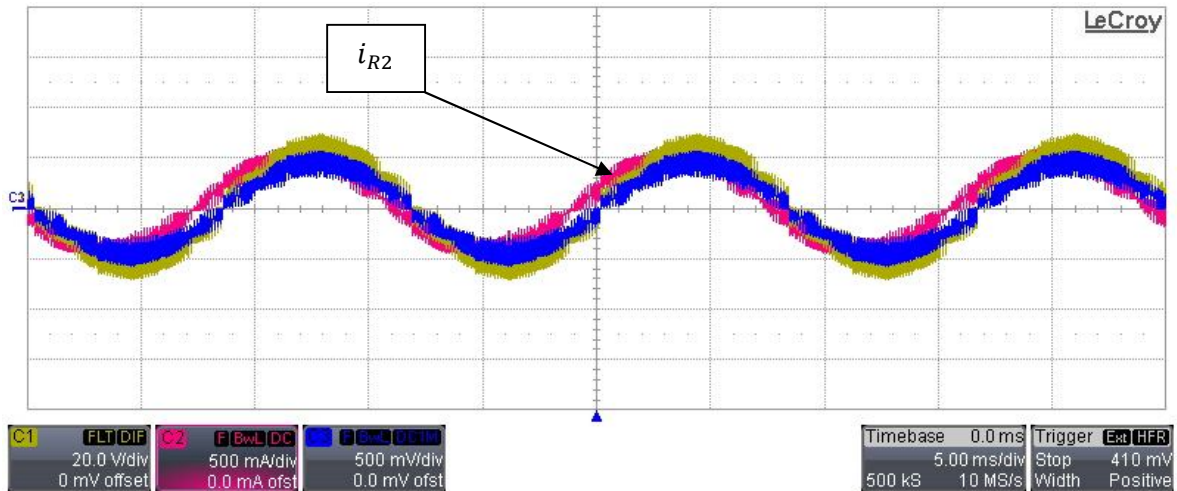
Figura 5.33 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R1} en el modo de operación de 7 niveles SVPWM

La Figura 5.33(a) muestra una ampliación en tiempo de las señales anteriormente citadas, en esta figura se observa con mayor claridad la definición la amplitud que existe en la corriente i_{R1} .

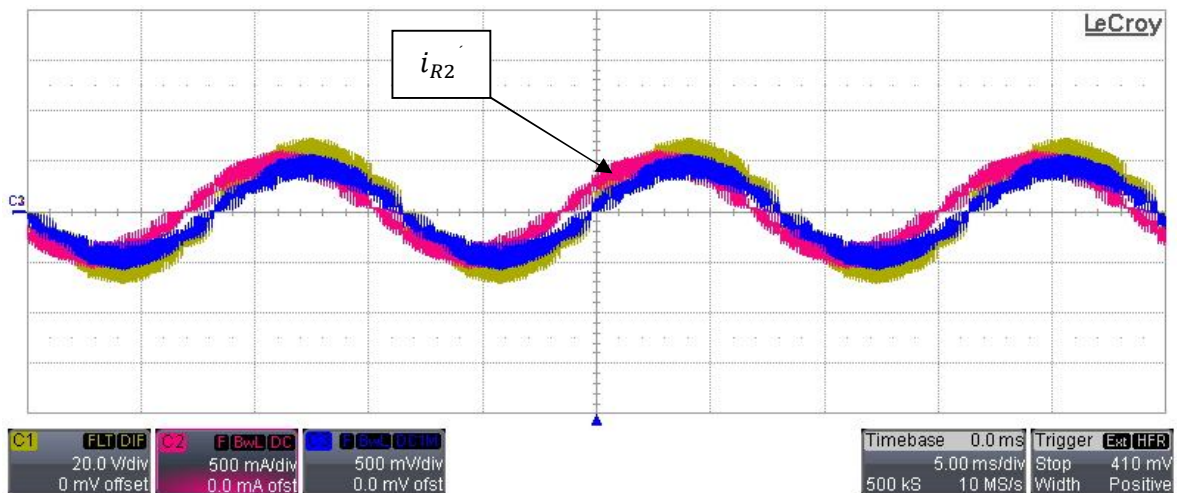


5.33(a) Aplicación en tiempo de la forma de onda de corriente i_{R1} en el modo de operación de 7 niveles SVPWM

Las corrientes, i_{R2} e i_{R2} , son mostradas en las Figuras 5.34 y 5.35 respectivamente, con un desfase de 30° con respecto a la corriente de línea, i_{R1} , en el devanado estrella del transformador. La amplitud de estas corrientes esta alrededor de $\pm 650mA$ para i_{R2} y $\pm 700mA$ para i_{R2} .

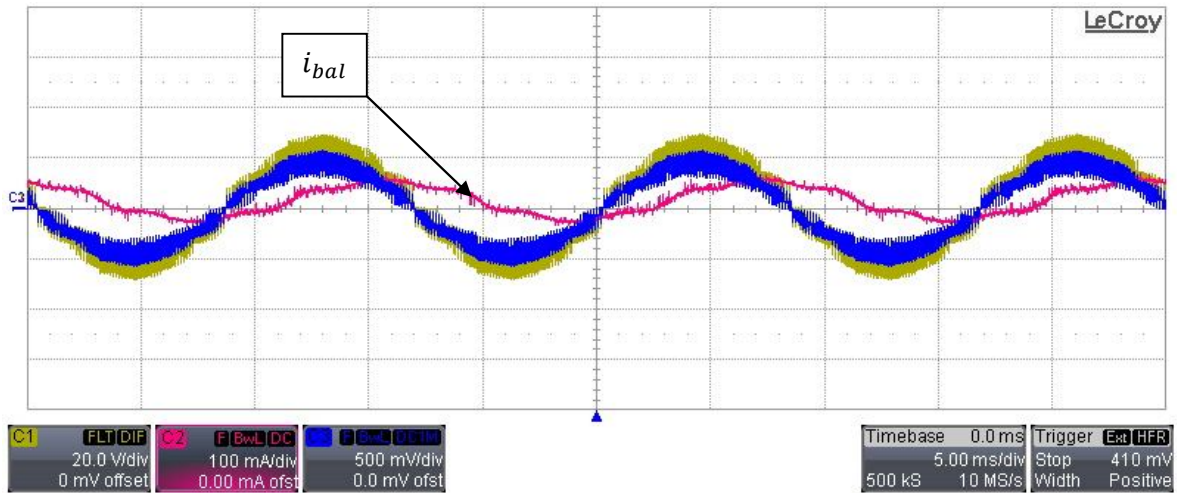


5.34 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles SVPWM

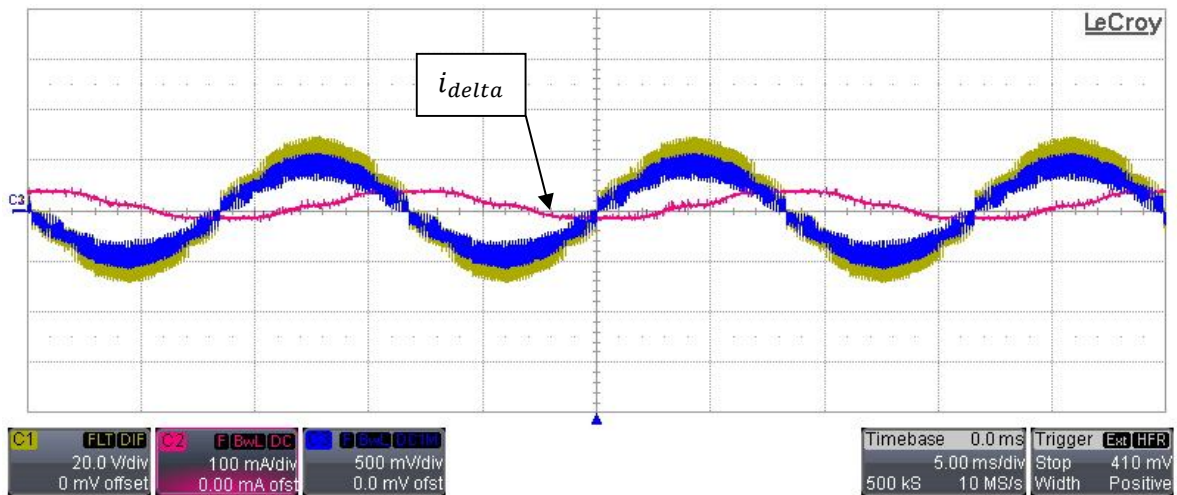


5.35 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles SVPWM

Las Figuras 5.36 y 5.37 muestran las corrientes que generan la compensación de la corriente magnetizante, i_m , para evitar el crecimiento desmedido de la misma. La corriente i_{bal} es mostrada en la Figura 5.36 con una amplitud fundamental de $\pm 70mA$. Esta corriente se origina como resultado de las corrientes i_{R2} e i_{R2}' . Por otra parte en la Figura 5.37 se observa la corriente de fase, i_{delta} , presente en el devanado auxiliar a_2' , la cual tiene una amplitud de $\pm 40mA$.

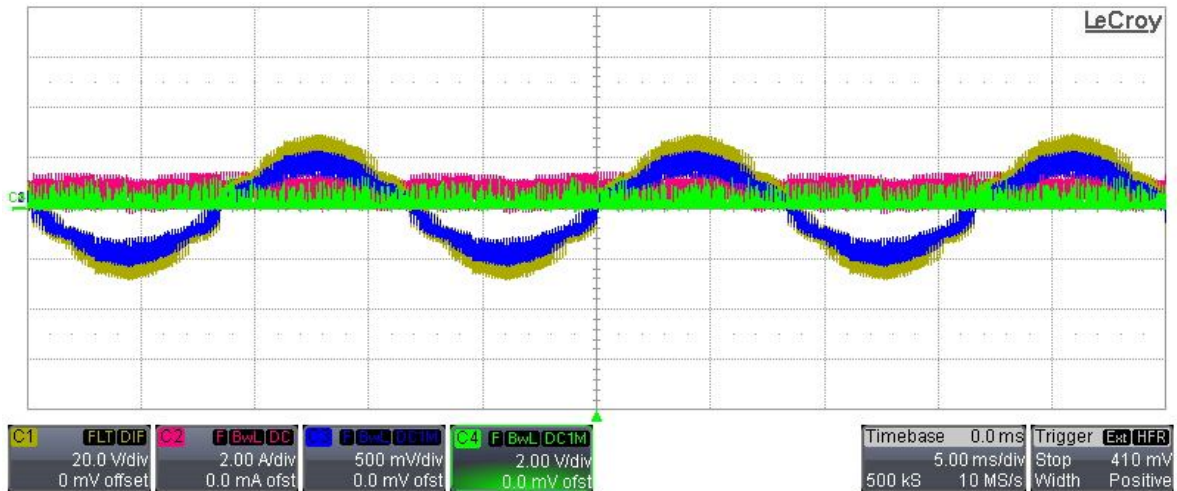


5.36 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{bal} en el modo de operación de 7 niveles SVPWM



5.37 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{delta} en el modo de operación de 7 niveles SVPWM

Finalmente la Figura 5.38 muestra la forma de onda de corriente i_{sum} . Esta señal a diferencia de las obtenidas en los modos de operación de 7 niveles y 7 niveles PWM, presenta un rizo muy grande en la corriente, el cual evita que sea visible la conmutación entre los inversores 1 y 2, esto es causado por el filtro de entrada, ya que no está respondiendo a la frecuencia de conmutación provocando que la corriente se distorsione.



5.38 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{sum} en el modo de operación de 7 niveles SVPWM

5.4 Resumen

El capítulo descrito anteriormente presentó los resultados obtenidos con el prototipo inversor construidos en los modos de operación de: 7 niveles, 7 niveles PWM y 7 niveles SVPWM. La descripción de los resultados experimentales se organizó en 3 etapas: señales de control, formas de onda de voltaje y formas de onda de corriente. En esta última etapa se observó el comportamiento de las corrientes generadas en los devanados del transformador y en los inductores auxiliares conectados en paralelo al devanado delta del transformador para evitar el crecimiento desmedido de la corriente magnetizante.

En los resultados obtenidos con el modo de 7 niveles SVPWM se trató de dar una comparación de las formas de onda obtenidas en contraste con las otras modalidades.

5.5 Referencias

- [5-1] Mondragón-Escamilla Nancy, "Análisis, diseño y construcción de un inversor multiniveles de 1 kW para futuros medios de transporte", Sección de estudios de posgrado e investigación, unidad Culhuacan.
- [5-2] Villarruel-Parra Alejandro, "Técnicas de control PWM para un convertidor multiniveles híbrido", Sección de estudios de posgrado e investigación, unidad Culhuacan.

- [5-3] Mondragón-Escamilla, N.; Villarruel-Parra, A.; Araujo-Vargas, I.; Sanchez-Garcia J.C., "Design and Construction of a Three-Phase Transformer for a 1 kW Multi-level Converter," *in Proceedings of International Conference On Electrical, Communications and Computers*, Cholula, Puebla, Feb. 26 – 28, 2009, pp. 74-78.

CAPÍTULO 6

OBSERVACIONES Y CONCLUSIONES

6.1 Introducción

En este capítulo se describen las conclusiones y observaciones del trabajo de investigación realizado, así mismo se exponen las contribuciones realizadas y las consideraciones pertinentes para su futuro estudio.

6.2 Contribuciones del trabajo de investigación

Tomando como base los resultados obtenidos en trabajos de investigación previos, el análisis realizado presentó las siguientes ventajas sobre ellos:

- Debido a la Implementación de la estrategia de modulación de espacio vectorial se logró la variación de la amplitud de la componente fundamental del voltaje de salida a través del índice de modulación v_{max} , así mismo mediante el análisis armónico del voltaje de salida se demostró la eliminación de contenido armónico de bajo orden.
- Con el mejoramiento en el diseño y la construcción del prototipo de laboratorio se logró minimizar problemas mecánicos, capacitancias parásitas, se evitó la saturación del transformador mediante el incremento de la inductancia, se redujo el uso innecesario de fuentes de alimentación para evitar redundancias y lazos de corriente innecesarios que presentaba el prototipo anterior.
- La re-activación del prototipo inversor ocasionó la obtención de mejores resultados en los modos de operación de 7 niveles y 7 niveles PWM, ya que las señales obtenidas se mostraron estables a variaciones considerables en el incremento del voltaje de suministro y con una operación del prototipo inversor durante un periodo de tiempo prolongado.

6.3 Observaciones

La implementación de una estrategia de modulación de espacio vectorial sobre el inversor híbrido multiniveles requirió de un análisis matemático continuo para la obtención de los parámetros necesarios que describieran el comportamiento teórico de la técnica de modulación empleada.

El mejoramiento en el diseño del prototipo inversor requirió de una selección adecuada de componentes y materiales que cubrieran las necesidades requeridas para un mejor funcionamiento. A pesar de ello, durante el desarrollo físico del prototipo se presentaron dificultades técnicas y de manufactura que con el tiempo fueron cubiertas, de tal modo que el prototipo utilizado en el presente trabajo sirvió apropiadamente para implementar el método de control PWM que se propuso.

Al concluir las pruebas experimentales realizadas con el prototipo se llegó a la conclusión de que el desempeño de este puede ser mejorado utilizando otro tipo de dispositivos, considerando factores como la radiación electromagnética y mejorar el sistema de tierras.

6.4 Trabajo Futuro

Con el fin de controlar el incremento desmedido de la corriente magnetizante presente en los devanados del transformador, y a diferencia del método utilizado en este trabajo de investigación, es posible anular este efecto utilizando un método activo mediante un control de fase enganchada (Phase Locked Loop - PLL). Una vez resuelto este efecto, es posible encontrar otro modo de operación con la misma técnica de control para originar voltajes de salida de 13 niveles.

6.5 Conclusiones

Los resultados obtenidos experimentalmente validaron la operación teórica del inversor híbrido en el modo de 7 niveles SVPWM. Los tiempos de activación de los transistores fueron calculados utilizando el método de transformación típica de la forma PWM de espacio vectorial para la arquitectura del inversor híbrido multiniveles. La distorsión armónica total obtenida mediante la implementación de la estrategia de modulación fue menor que en los modos de operación comúnmente usados. Así mismo la técnica de control fue fácilmente implementada en un microcontrolador de 8-bits y se eliminó el efecto presente en el transformador incrementando la inductancia para disminuir la corriente magnetizante.

Listado de Figuras

Capítulo 1. Introducción y Estado del arte	1
Figura 1.1 Diagrama a bloques que muestra la composición básica de un inversor de potencia	2
Figura 1.2 Circuito eléctrico de un inversor puente completo	3
Figura 1.3 Forma de onda de salida de dos niveles de voltaje.	4
Figura 1.4 Circuito eléctrico de un inversor trifásico	4
Figura 1.5 Circuito eléctrico de un inversor multiniveles	5
Figura 1.6 Topología de un inversor híbrido puente H de 7 niveles	6
Figura 1.7 Formas de onda que describen el comportamiento de la técnica de modulación PWM naturalmente muestreada	7
Figura 1.8 Formas de onda que describen el comportamiento de la técnica de modulación PWM regularmente muestreada.	8
Figura 1.9 Formas de onda que describen el comportamiento de la técnica de modulación PWM con inyección de su tercer armónico	8
Figura 1.10 Plano complejo d-q para un inversor trifásico	9
Figura 1.11 Inversor híbrido multiniveles	10
Figura 1.12 Circuitos equivalentes del inversor híbrido multiniveles. (a) Circuito equivalente; (b) Configuración I; (c) Configuración II	11
Figura 1.13 Formas de onda obtenidas mediante el análisis de los circuitos equivalentes del inversor híbrido	12
Figura 1.14 Formas de onda ideales obtenidas en el modo de operación de 7 niveles	14
Figura 1.15 Señales de control de los inversores inferior y superior para el modo de operación de 7 niveles	15
Figura 1.16 Formas de onda obtenidas mediante el análisis de los circuitos equivalentes del inversor híbrido en el modo de 7 niveles PWM	17
Figura 1.17 Formas de onda ideales obtenidas en el modo de operación de 7 niveles PWM	18
Figura 1.18 Señales de control de los inversores inferior y superior para el modo de operación de 7 niveles PWM	19
Capítulo 2. Modulación de espacio vectorial de ancho de pulso (SVPWM) para un inversor híbrido multiniveles	25
Figura 2.1 Inversor híbrido multiniveles	26
Figura 2.2 Modo M_1 , Modo M_2 , producidos por los vectores de estado T_{sv1} y T_{sv2} respectivamente	28
Figura 2.3 Circuitos equivalentes del inversor híbrido multiniveles	28
Figura 2.4 Configuraciones neutrales del estado de los transistores	29
Figura 2.5 Plano complejo α - β que muestra la distribución de los vectores s_{v1} a s_{v2}	30
Figura 2.6 Formas de onda de voltaje a la salida de los puentes inversores para el sector 1	34
Figura 2.7 Formas de onda ideales del inversor siete niveles con la modulación de espacio vectorial	36
Capítulo 3. Algoritmo de control para el inversor híbrido en el modo de operación 7 niveles SVPWM.	41
Figura 3.1 Formas de onda de voltaje a la salida de los puentes inversores trifásicos para el Sector 1	43
Figura 3.2. Diagrama a bloques del algoritmo de control para el modo de operación de 7 niveles SVPWM	44
Figura 3.3. Secuencia de interrupciones y esquema de las señales de control con la	45

implementación del algoritmo de control para el modo de operación de 7 niveles SVPWM	
Figura 3.4 Diagrama de flujo que describe la lógica de programación del algoritmo de control en el modo de operación de 7 niveles SVPWM	48
Figura 3.5. Diagrama a bloques del Timer/Counter de 16-bits del ATMEGA2560	50
Figura 3.6. Señales de control obtenidas del microcontrolador de 8 bits en el modo de 7 niveles SVPWM. Vertical- estado lógico, horizontal-2ms/div	51
Capítulo 4. Diseño y construcción del prototipo inversor híbrido multiniveles.	53
Figura 4.1 Diagrama a bloques de las etapas del prototipo inversor híbrido multiniveles	55
Figuras 4.2 Corriente i_s , i_{riel+} , en el filtro de entrada i_{cf} y voltaje de suministro V_s	56
Figura 4.3 Circuito de disparo por el método de Bootstrap	58
Figura 4.4 Voltaje del devanado primario del transformador y densidad de flujo en el núcleo que lo produce	59
Figura 4.5 Conexión de inductancias en paralelo al transformador delta	62
Capítulo 5. Verificación experimental del inversor híbrido con SVPWM	67
Figura 5.1 Diagrama a bloques de la conexión del prototipo para la obtención de los resultados experimentales	68
Figura 5.2 señales de control en el modo de operación de 7 niveles con una frecuencia fundamental de 60Hz. Vertical, estado lógico, horizontal 2ms/div.	70
Figura 5.3 Formas de onda de voltaje v_{R1G} , v_{Y1G} y v_{B1G} en el modo de operación de 7 niveles	70
Figura 5.4 Formas de onda de voltaje v_{R2G} , v_{Y2G} y v_{B2G} en el modo de operación de 7 niveles	71
Figura 5.5 Formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles	71
Figura 5.6 Forma de onda de voltaje v_{R1N} en el modo de operación de 7 niveles	72
Figura 5.7 Formas de onda de voltaje v_{RN} , v_{YN} y v_{BN} en el modo de operación de 7 niveles	72
Figura 5.8 Diagrama que muestra la conexión de inductores adicionales en paralelo para compensar el desbordamiento de la corriente magnetizante	73
Figura 5.9 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R1}' en el modo de operación de 7 niveles	74
Figura 5.10 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles	74
Figura 5.11 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2}' en el modo de operación de 7 niveles	75
Figura 5.12 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e $i_{balance}$ en el modo de operación de 7 niveles	75
Figura 5.12 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{delta} en el modo de operación de 7 niveles	76
Figura 5.13 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} , i_{sum} e i_{res} en el modo de operación de 7 niveles	76
Figura 5.14 señales de control en el modo de operación de 7 niveles PWM con una frecuencia fundamental de 60Hz y una frecuencia de conmutación f_{sw} de 6.84kHz. Vertical, estado lógico, horizontal 2ms/div.	77
Figura 5.15 Formas de onda de voltaje v_{R1G} , v_{Y1G} y v_{B1G} en el modo de operación de 7 niveles PWM	78
Figura 5.16 Formas de onda de voltaje v_{R2G} , v_{Y2G} y v_{B2G} en el modo de operación de 7 niveles PWM	78

Figura 5.17 Formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles PWM	79
Figura 5.18 Forma de onda de voltaje v_{R1N} en el modo de operación de 7 niveles PWM	79
Figura 5.19 Formas de onda de voltaje v_{RN} , v_{YN} y v_{BN} en el modo de operación de 7 niveles PWM	80
Figura 5.20 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R1}' en el modo de operación de 7 niveles PWM	81
Figura 5.21 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles PWM	81
Figura 5.22 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2}' en el modo de operación de 7 niveles PWM	82
Figura 5.23 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e $i_{balance}$ en el modo de operación de 7 niveles PWM	82
Figura 5.24 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{delta} en el modo de operación de 7 niveles PWM	83
Figura 5.25 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} , i_{sum} e i_{res} en el modo de operación de 7 niveles PWM	83
Figura 5.26 señales de control en el modo de operación de 7 niveles SVPWM con una frecuencia fundamental de 60Hz y una frecuencia de conmutación f_{sw} de 7.2kHz. Vertical, estado lógico, horizontal 2ms/div.	84
Figura 5.27 Formas de onda de voltaje v_{R1G} , v_{Y1G} y v_{B1G} en el modo de operación de 7 niveles SVPWM	85
Figura 5.28 Formas de onda de voltaje v_{R2G} , v_{Y2G} y v_{B2G} en el modo de operación de 7 niveles SVPWM	86
Figura 5.29 Formas de onda de voltaje v_{Rsec} y v_{Rprim} en el modo de operación de 7 niveles SVPWM	87
Figura 5.30 Forma de onda de voltaje v_{R1N} en el modo de operación de 7 niveles PWM	88
Figura 5.31 Formas de onda de voltaje v_{RN} , v_{YN} y v_{BN} obtenidas de simulación en el modo de operación de 7 niveles SVPWM	88
Figura 5.32 Formas de onda de voltaje v_{RN} , v_{YN} y v_{BN} en el modo de operación de 7 niveles SVPWM	89
Figura 5.33 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R1}' en el modo de operación de 7 niveles SVPWM	90
Figura 5.34 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2} en el modo de operación de 7 niveles SVPWM	91
Figura 5.35 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{R2}' en el modo de operación de 7 niveles SVPWM	91
Figura 5.36 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e $i_{balance}$ en el modo de operación de 7 niveles SVPWM	92
Figura 5.37 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} e i_{delta} en el modo de operación de 7 niveles SVPWM	92
Figura 5.38 Forma de onda de voltaje v_{RN} , formas de onda de corriente i_{R1} , i_{sum} e i_{res} en el modo de operación de 7 niveles SVPWM	93

Listado de Tablas

Capítulo 1. Introducción y Estado del arte	1
Tabla 1.1 Vectores de estado de los transistores y voltajes de salida en el modo de 7 niveles	16
Capítulo 2. Modulación de espacio vectorial de ancho de pulso (SVPWM) para un inversor híbrido multiniveles	25
Tabla 2.1 Vectores de estado de los transistores para las configuraciones del circuito de la figura 2.1 y sus referencias a los circuitos de CD y CA normalizados respecto al voltaje de suministro	27
Tabla 2.2 Tabla de los tiempos activos de los vectores de espacio	33
Capítulo 3. Algoritmo de control para el inversor híbrido en el modo de operación 7 niveles SVPWM.	41
Tabla 3.1 Configuración del Timer/Counter 1 para generar el algoritmo de control de 7 niveles SVPWM	50
Capítulo 4. Diseño y construcción del prototipo inversor híbrido multiniveles.	53
Tabla 4.1 Condiciones de diseño del inversor híbrido multiniveles	54
Tabla 4.2 Parámetros del diseño del filtro de salida	57
Tabla 4.3 Principales características del integrado IRS21853SPBF	59
Tabla 4.4 Parámetros de los devanados del transformador	60
Tabla 4.5 Análisis de potencia en el trifásico	61
Tabla 4.6 Elementos parásitos del transformador	61
Tabla 4.7 Características del microcontrolador AVR ATMEGA 2560	63
Capítulo 5. Verificación experimental del inversor híbrido con SVPWM	67
Tabla 5.1 Condiciones de operación del prototipo	67
Tabla 5.2 Equipo utilizado para realizar las mediciones sobre el inversor híbrido multiniveles	68

PUBLICACIONES

Nicolas-Villalva, C.; Araujo-Vargas, I.; Villarruel-Parra, A.; Mondragon-Escamilla, N.; "A space vector PWM algorithm for a hybrid multilevel inverter", Power Electronics Congress (CIEP). S. L. P., Mexico, Agosto 22-25 2010.

Ponce-Silva M.; Bautista-Arias J. L.; Tapia-Hernández A.; Nicolas-Villalva C. I.; Granados-Luna T. R.; Araujo-Vargas I.; "Parallel-Resonant Inverter with Two Current Sources: Analysis and Design Methodology". Power Electronics Congress (CIEP). S. L. P., Mexico, Agosto 22-25 2010. Pp 156-160.

Apéndice A

Modos de estado de los transistores

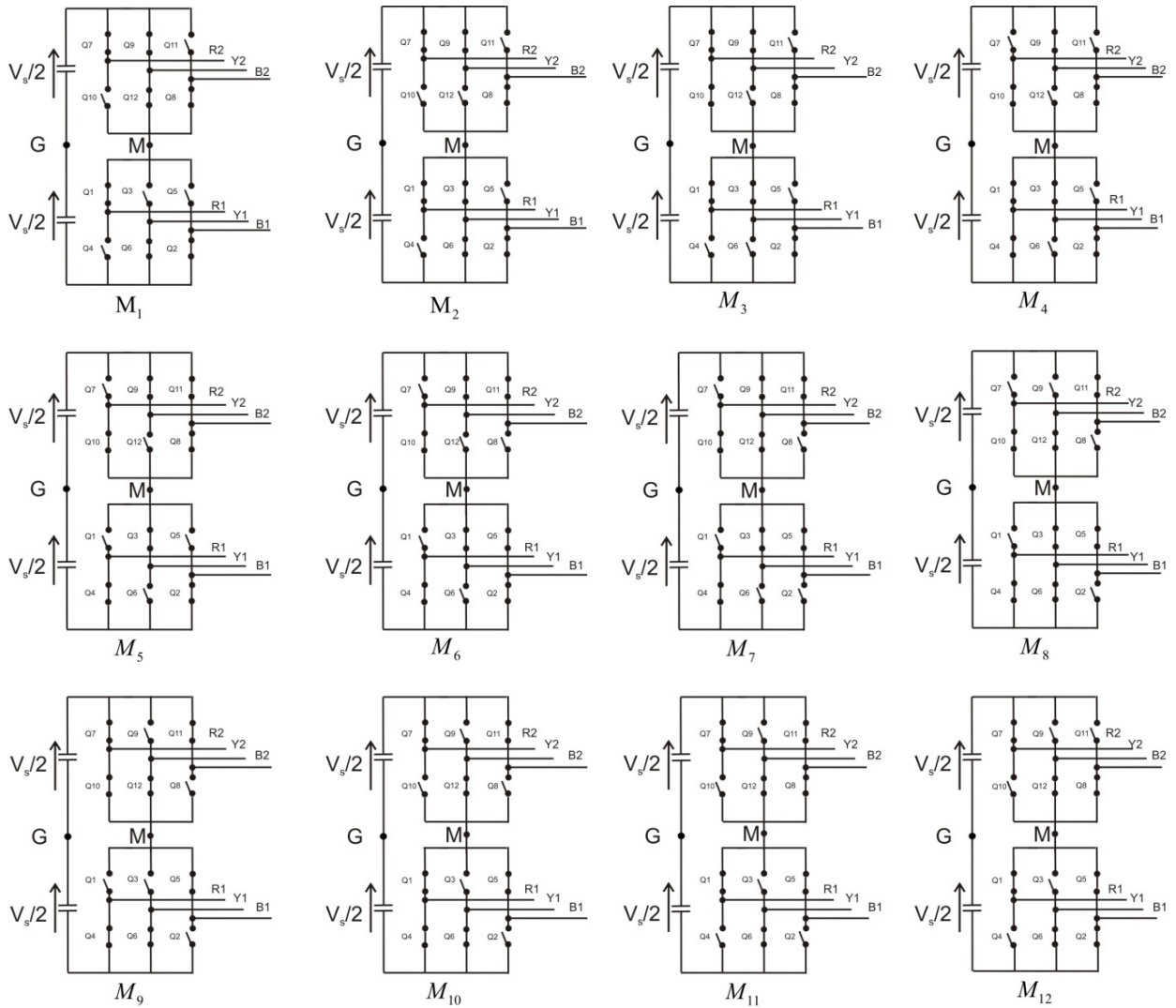


Figura A.1 Modos de estado de los transistores generados por vectores estacionarios.

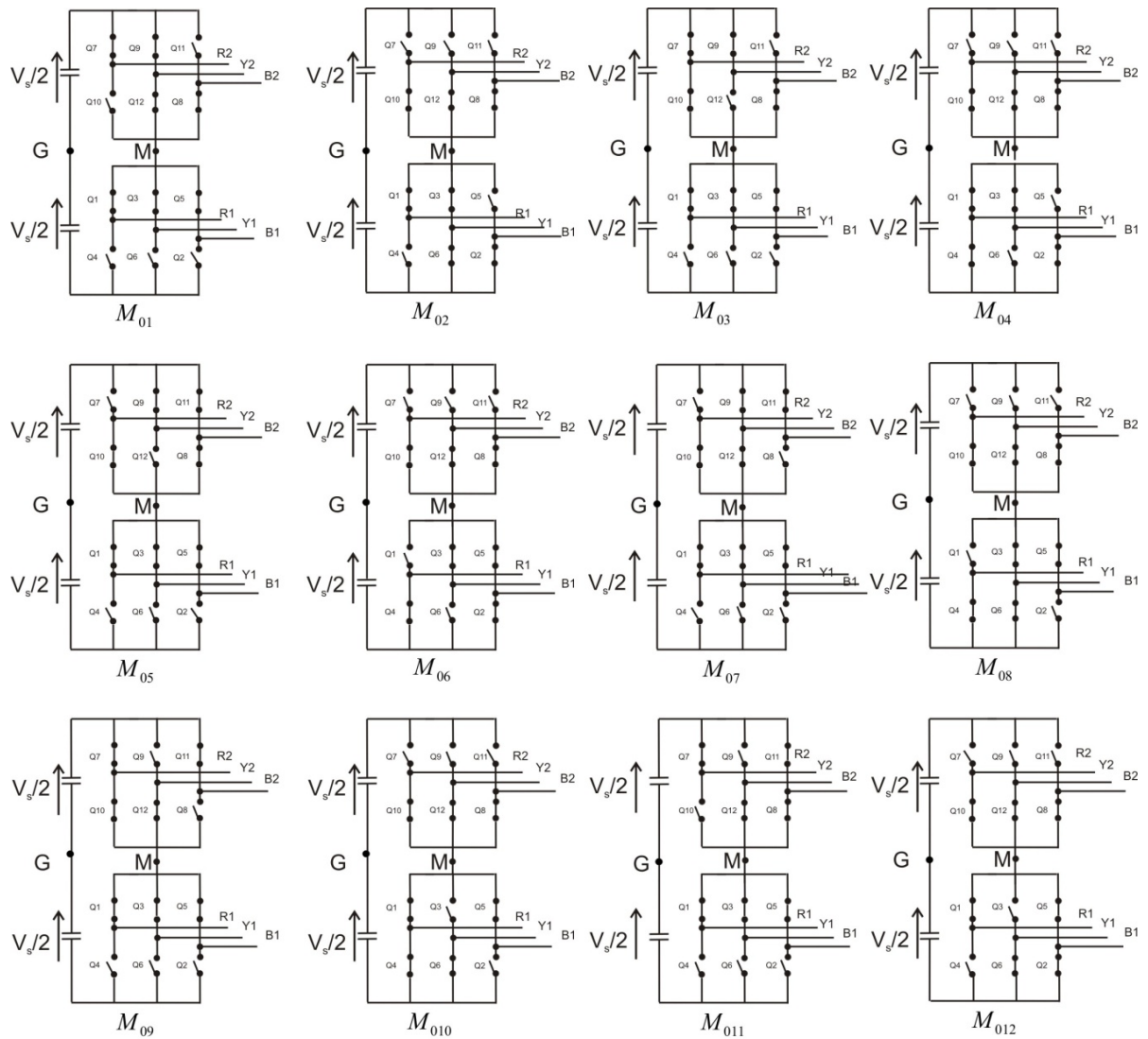


Figura A.2 Modos de estado de los transistores generados por vectores neutros.

Apéndice B

Cálculo del Índice de modulación v_{max}

El cálculo del índice de modulación v_{max} parte del análisis del vector arbitrario \vec{v}_0^* localizado en el primer sector como se muestra en la Figura B.1. Para la obtención de v_{max} se considera el valor máximo que pueden tomar los vectores estacionarios y la localización del punto medio x , el cual es descrito por la siguiente expresión:

$$x = \frac{2 + \sqrt{3}}{6} \quad (B.1)$$

Una vez obtenido el valor de x , se realiza el cálculo de la hipotenusa mediante la ecuación (B.2):

$$x = V_s \sqrt{\left(\frac{2 + \sqrt{3}}{6}\right)^2 + \left(\frac{1}{6}\right)^2} \quad (B.2)$$

Desarrollando la ecuación (B.2) se obtiene v_{max} descrito por la ecuación (B.3):

$$v_{max} = V_s \frac{\sqrt{8 + 4\sqrt{3}}}{6} \quad (B.3)$$

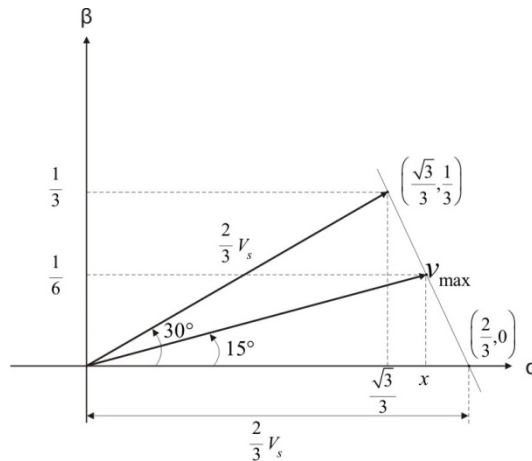


Figura B.1 Diagrama vectorial para la obtención de v_{max}

Apéndice C

Cálculo del contenido armónico de $A_{RN}(n)$ en términos de $A_{MG}(n)$

El cálculo del contenido armónico de la forma de onda de voltaje de salida v_{RN} , $A_{RN}(n)$, para el modo de operación de 7 niveles SVPWM está basado en el análisis armónico de la forma de onda de voltaje v_{MG} , $A_{MG}(n)$, debido a que esta señal es la base analítica de las formas de onda de voltaje generadas en el inversor.

El voltaje v_{R1G} involucra tres ciclos de la forma de onda v_{MG} , y por tanto el contenido armónico de v_{R1G} , $A_{R1G}(n)$ es determinado de la siguiente manera.

$$A_{R1G}(n) = (A_{MG}(n) + A_{b(n)}e^{-jn\pi}) \left(1 + 2\cos\left(\frac{n\pi}{3}\right)\right) \quad (C.1)$$

Los voltajes de salida del inversor inferior respecto al nodo N, del circuito de CA pueden ser calculadas eliminando el voltaje en modo común, v_{GN} , por medio de la expresión (2.8), por lo tanto el contenido armónico del voltaje v_{R1N} , A_{R1N} , es descrito por la ecuación (C.2):

$$A_{R1N}(n) = \frac{1}{3}(2A_{R1G}(n) - A_{Y1G}(n) - A_{B1G}(n)) \quad (C.2)$$

en donde $A_{Y1G}(n)$ y $A_{B1G}(n)$ presentan el mismo comportamiento que $A_{R1N}(n)$ pero con un desfase de $+2\pi/3$ y $-2\pi/3$ respectivamente, por lo tanto $A_{R1N}(n)$ es sintetizada de la siguiente manera.

$$A_{R1N}(n) = \frac{1}{3}(2 - e^{-jn2\pi/3} - e^{+jn2\pi/3}) \quad (C.3)$$

Desarrollando la ecuación (C.3) se obtiene la expresión generalizada de $A_{R1N}(n)$, ecuación (C.4):

$$A_{R1N}(n) = \begin{cases} A_{R1G}(n); & n = 1, n \neq 3, \quad k = \text{enteros} \\ 0 & n = 3, \quad k = \text{enteros} \end{cases} \quad (C.4)$$

Por otro parte, el contenido armónico del voltaje v_{Rsec} , $A_{Rsec}(n)$, puede ser expresado de la siguiente manera

$$A_{Rsec}(n) = \frac{1}{\sqrt{3}}(A_{R2G}(n) - A_{B2G}(n)) \quad (C.5)$$

en donde $A_{B2G(n)} = A_{R2G(n)} e^{jn2\pi/3}$ y $A_{R2G(n)}$ es representado por la ecuación (C.6):

$$A_{R2G(n)} = (A_{MG'(n)} - A_{b(n)} e^{-jn\pi}) \left(1 + 2\cos\left(\frac{n\pi}{3}\right)\right) e^{-jn5\pi/6} \quad (C.6)$$

Desarrollando la ecuación (C.5) se obtiene la ecuación (C.7)

$$A_{Rsec(n)} = -\frac{2}{\sqrt{3}} j \sin\left(\frac{n\pi}{3}\right) e^{jn2\pi/3} A_{R2G(n)} \quad (C.7)$$

en donde:

$$A_{Rsec(n)} = \begin{cases} (\sqrt{3} - j) (A_{MG'(n)} - A_{b(n)} e^{-jn\pi}) e^{-jn5\pi/6}; & n = 1,7,13,19,25 \dots \\ (\sqrt{3} + j) (A_{MG'(n)} - A_{b(n)} e^{-jn\pi}) e^{-jn5\pi/6}; & n = 5,11,17,23,29 \dots \\ 0 & n = 3k; n = \text{pares} \end{cases} \quad (C.8)$$

Reduciendo la expresión anterior se obtiene lo siguiente:

$$A_{Rsec(n)} = \begin{cases} 2 (A_{MG'(n)} - A_{b(n)} e^{-jn\pi}); & n = 6k \pm 1, k = \text{impares} \\ -2 (A_{MG'(n)} - A_{b(n)} e^{-jn\pi}); & n = 6k \pm 1, k = \text{pares} \\ 0 & n = 3k \text{ y } n = \text{pares} \end{cases} \quad (C.9)$$

Finalmente, el contenido armónico del voltaje de salida v_{RN} , $A_{RN(n)}$, puede ser calculado como:

$$A_{RN(n)} = A_{R1N(n)} + A_{Rsec(n)} \quad (C.10)$$

Desarrollando expresión anterior (C.10) se obtiene la expresión (C.11):

$$A_{RN(n)} = \begin{cases} 4(A_{MG(n)} - A_{b(n)}); & n = 1, 12k \pm 1; k = \text{enteros} \\ 0 & n = \text{pares y } n = 3k \end{cases} \quad (C.11)$$

Sustituyendo $A_{MG(n)}$ y $A_{b(n)}$, se obtiene la expresión (C.12)

$$A_{RN(n)} = \begin{cases} \frac{8V_s}{n\pi} \sum_{i=1}^P (\sin n\delta_{tri} - \sin n\delta_{bi}) \cos \alpha_i; & n = 1, 12k \pm 1; k = \text{enteros} \\ 0 & n = \text{pares y } n = 3k \end{cases} \quad (C.12)$$

La Ecuación (C.12) expresa el contenido armónico $A_{RN(n)}$ de manera generalizada, la cual fue obtenida mediante del desarrollo del contenido armónico del voltaje v_{MG} , $A_{MG(n)}$ mostrado a continuación.

La Figura 2.6 muestra el comportamiento del voltaje v_{MG} representado por un pulso simétrico para el primer sector. Por otra parte, la Figura 2.7 muestra como la primera forma de onda, el mismo voltaje dentro de un ciclo de conmutación, en donde se puede observar que v_{MG} tiene una frecuencia de $6f_0$. Los voltajes de salida del inversor inferior con respecto al nodo G son mostrados en la misma figura como la segunda, tercera y cuarta forma de onda respectivamente, las cuales presentan 3 ciclos de la forma de onda v_{MG} , mientras que las formas de onda del inversor superior presentan el mismo comportamiento con la diferencia de que estos voltajes serán iguales a v_{MG}' .

El análisis del contenido armónico fue obtenido utilizando la serie exponencial de Fourier a partir de un pulso de voltaje v_{MG} y v_{MG}' mostrados en la Figura C.1(a) y (b) respectivamente.

$$A_{MG(n)} = \frac{1}{2\pi} \int_0^{2\pi} v_{MG} e^{jn(\omega t)} d(\omega t) \quad (C.13)$$

$$A_{MG'(n)} = \frac{1}{2\pi} \int_0^{2\pi} v_{MG}' e^{jn(\omega t)} d(\omega t) \quad (C.14)$$

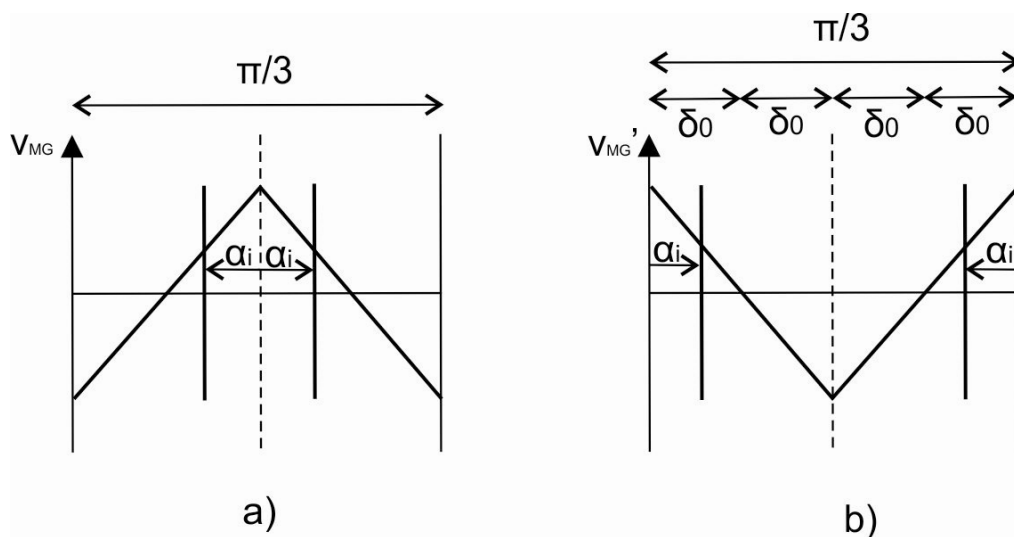


Figura C.1. a) Pulso de voltaje v_{MG} . b) Pulso de voltaje v_{MG}' , para obtener el contenido armónico $A_{MG(n)}$ y $A_{MG'(n)}$ respectivamente.

Desarrollando las series exponenciales de Fourier se obtienen las ecuaciones (C.15 y C.16):

$$A_{MG(n)} = \sum_{i=1}^P \frac{V_s}{n\pi} [2 \sin(n\delta_{tri}) - \sin(2n\delta_0)] \cos(n\alpha_i) \quad (C.15)$$

$$A_{MG'(n)} = \sum_{i=1}^P \frac{V_s}{n\pi} [2 \sin(n\delta_{tri}) - \sin(2n\delta_0)] \cos\left(n\left(\alpha_i - \frac{\pi}{6}\right)\right) \quad (C.16)$$

Para obtener el contenido armónico del pulso que describe un pequeño rizo presente en la segunda mitad del ciclo se utilizó el contenido armónico mostrado como $A_{b(n)}$, el cual presenta el mismo comportamiento de $A_{MG(n)}$.

Apéndice D

Código del algoritmo de control para el modo de operación 7 niveles SVPWM

```
;Caren Ivet Nicolas Villalva
;vangynga@yahoo.com.mx
;-----
;Microcontrolador:    ATMEGA 2560
;Programa:            7_niveles_SVPWM.asm
;Descripción:        Programa que genera 12 señales de control
;                    para el modo de operación 7 niveles SVPWM
;
;XTAL Frecuencia:    16 Mhz
;Fecha:              06-12-2010
;Supervisor:        Dr. Ismael Araujo Vargas
;-----
.LIST
.INCLUDE "M2560DEF.INC"
;DEFINIENDO VARIABLES
.DEF      AUX=R11
.DEF      VT1_SUP=R12
.DEF      VT1_INF=R13
.DEF      VT0D_SUP=R14
.DEF      VT0D_INF=R15
.DEF      REG=R16
.DEF      REG1=R17
.DEF      TEMP=R18
.DEF      TEMP2=R19
.DEF      MASH=R20
.DEF      MASL=R21
.DEF      COUNT=R22
.DEF      LIMIT=R23
.DEF      SECTOR=R24
.DEF      SEC_INC=R25
.DEF      VT2_SUP=R26
.DEF      VT2_INF=R27
.DEF      VT0U_SUP=R28
.DEF      VT0U_INF=R29
.CSEG
```

```

.ORG          0x000
START:       RJMP  RESET
.ORG          0x20
TIM1_CAPT:   RJMP  TIMER1_CAPT
.ORG          0x22
TIM1_COMPA:  RJMP  TIMER1_COMPA
.ORG          0x24
TIM1_COMPB:  RJMP  TIMER1_COMPB
.ORG          0x26
TIM1_COMPC:  RJMP  TIMER1_COMPC
.ORG          0x28
TMR1_OVF:    RJMP  TIMER1_OVF

;DEJANDO ESPACIO PARA FUTURAS INTERRUPCIONES

.ORG          0x0072
RESET: ;CONFIGURANDO PARAMETROS DEL TIMER/COUNTER 1 Y DEFINIENDO EL PUERTO A UTILIZAR
        SER          TEMP
        OUT          DDRF,TEMP ;CONFIGURANDO AL PUERTO B COMO SALIDA
        OUT          DDRB,TEMP
        OUT          DDRC,TEMP
        OUT          DDRD,TEMP
        CLR          TEMP
        OUT          PORTE,TEMP
        OUT          PORTB,TEMP
        OUT          PORTC,TEMP
        OUT          PORTD,TEMP

        STS          TCNT1H,TEMP;VALOR INICIAL DEL CONTADOR
        STS          TCNT1L,TEMP
        LDI          TEMP,0x1D
        STS          MCUSR,TEMP;programando el reset

        LDI          TEMP,0x1D
        STS          MCUSR,TEMP
        LDI          TEMP,0b11111100
        STS          TCCR1A,TEMP;CONFIGURANDO LOS REGISTROS DE CONTROL
        LDI          TEMP,0b00000100
        STS          ICR1H,TEMP
        LDI          TEMP,0b01010000
        STS          ICR1L,TEMP
        LDI          TEMP,0b00101111
        STS          TIMSK1,TEMP
        LDI          TEMP,0x00
        STS          OCR1AH,TEMP;CONFIGURANDO LAS SALIDAS DE COMPARACION
        LDI          TEMP,0x73
        STS          OCR1AL,TEMP
        LDI          TEMP,0x00

```

```

        STS      OCR1BH,TEMP
        LDI      TEMP,0x82
        STS      OCR1BL,TEMP
        LDI      TEMP,0x03
        STS      OCR1CH,TEMP
        LDI      TEMP,0xDF
        STS      OCR1CL,TEMP
        LDI      MASH,0x00
        LDI      MASL,0x00
        LDI      COUNT,0x02
        LDI      SECTOR,0x1
        LDI      SEC_INC,0x01
        LDI      LIMIT,0x14
        LDI      TEMP,0b00010001
        STS      TCCR1B,TEMP
        SEI

MAIN:      RJMP      MAIN
;UTILIZANDO EL REGISTRO Z DE 16 BITS PARA CARGAR LOS DATOS DE LA TABLA
TIMER1_CAPT:  LDI      TEMP,0x01
              MOV      AUX,TEMP
              RETI

TIMER1_COMPA: LDI      TEMP2,0x00
              CPSE     AUX,TEMP2
              RJMP     NOA
              OUT      PORTF,VT1_SUP
              OUT      PORTD,VT1_INF
              RJMP     GO

NOA:        OUT      PORTF,VT0D_SUP
              OUT      PORTD,VT0D_INF

GO:         RETI

TIMER1_COMPB: LDI      TEMP2,0x00
              CPSE     AUX,TEMP2
              RJMP     NOB
              OUT      PORTF,VT2_SUP
              NOP
              NOP
              NOP
              NOP
              OUT      PORTD,VT2_INF
              RJMP     GOO

NOB:        OUT      PORTF,VT1_SUP
              NOP
              NOP
              NOP
              NOP

```

```

GOO:          OUT    PORTD,VT1_INF
              RETI

TIMER1_COMPC: LDI    TEMP2,0x00
              CPSE   AUX,TEMP2
              RJMP   NOC
              OUT    PORTF,VT0U_SUP
              OUT    PORTD,VT0U_INF
              RJMP   GOOC
NOC:          OUT    PORTF,VT2_SUP
              OUT    PORTD,VT2_INF
GOOC:         RETI

TIMER1_OVF:   LDI    TEMP,0x01
              OUT    PORTC,TEMP;VERIFICANDO QUE OCURRA LA INTERRUPCION
              LDI    TEMP,0x00
              MOV    AUX,TEMP
              LDI    TEMP,0x0D

              CPSE   SECTOR,TEMP
              RJMP   CASE_1
              LDI    SECTOR,0x01
              LDI    MASL,0x00

;SWITCH CASE SECTOR

CASE_1:       LDI    TEMP2,0x01
              CPSE   SECTOR,TEMP2
              RJMP   CASE_2
              RJMP   SECTOR1

CASE_2:       LDI    TEMP2,0x02
              CPSE   SECTOR,TEMP2
              RJMP   CASE_3
              RJMP   SECTOR2

CASE_3:       LDI    TEMP2,0x03
              CPSE   SECTOR,TEMP2
              RJMP   CASE_4
              RJMP   SECTOR3

CASE_4:       LDI    TEMP2,0x04
              CPSE   SECTOR,TEMP2
              RJMP   CASE_5
              RJMP   SECTOR4

CASE_5:       LDI    TEMP2,0x05
              CPSE   SECTOR,TEMP2
              RJMP   CASE_6

```

```

                                RJMP      SECTOR5

CASE_6:                        LDI       TEMP2,0x06
                                CPSE     SECTOR,TEMP2
                                RJMP     CASE_7
                                RJMP     SECTOR6

CASE_7:                        LDI       TEMP2,0x07
                                CPSE     SECTOR,TEMP2
                                RJMP     CASE_8
                                RJMP     SECTOR7

CASE_8:                        LDI       TEMP2,0x08
                                CPSE     SECTOR,TEMP2
                                RJMP     CASE_9
                                RJMP     SECTOR8

CASE_9:                        LDI       TEMP2,0x09
                                CPSE     SECTOR,TEMP2
                                RJMP     CASE_10
                                RJMP     SECTOR9

CASE_10:                       LDI       TEMP2,0x0A
                                CPSE     SECTOR,TEMP2
                                RJMP     CASE_11
                                RJMP     SECTOR10

CASE_11:                       LDI       TEMP2,0x0B
                                CPSE     SECTOR,TEMP2
                                RJMP     SECTOR12
                                RJMP     SECTOR11

;SECTORS

SECTOR1:                       LDI       TEMP,0x15
                                MOV      VT0D_SUP,TEMP
                                OUT      PORTF,VT0D_SUP
                                LDI     TEMP,0x39
                                MOV      VT0D_INF,TEMP
                                OUT      PORTD,VT0D_INF
                                LDI     TEMP,0x38
                                MOV      VT1_SUP,TEMP
                                LDI     TEMP,0x39
                                MOV      VT1_INF,TEMP
                                LDI     VT2_SUP,0x39
                                LDI     VT2_INF,0x31
                                LDI     VT0U_SUP,0x39
                                LDI     VT0U_INF,0x2A

```

```

RJMP      UP

SECTOR2:  LDI      TEMP,0x15
           MOV      VT0D_SUP,TEMP
           OUT      PORTF,VT0D_SUP
           LDI      TEMP,0x39
           MOV      VT0D_INF,TEMP
           OUT      PORTD,VT0D_INF
           LDI      TEMP,0x38
           MOV      VT1_SUP,TEMP
           LDI      TEMP,0x39
           MOV      VT1_INF,TEMP
           LDI      VT2_SUP,0x3C
           LDI      VT2_INF,0x38
           LDI      VT0U_SUP,0x3C
           LDI      VT0U_INF,0x2A

RJMP      DOWN

SECTOR3:  LDI      TEMP,0x15
           MOV      VT0D_SUP,TEMP
           OUT      PORTF,VT0D_SUP
           LDI      TEMP,0x3C
           MOV      VT0D_INF,TEMP
           OUT      PORTD,VT0D_INF

           LDI      TEMP,0x1C
           MOV      VT1_SUP,TEMP
           LDI      TEMP,0x3C
           MOV      VT1_INF,TEMP
           LDI      VT2_SUP,0x3C
           LDI      VT2_INF,0x38
           LDI      VT0U_SUP,0x3C
           LDI      VT0U_INF,0x2A

RJMP      UP

SECTOR4:  LDI      TEMP,0x15
           MOV      VT0D_SUP,TEMP
           OUT      PORTF,VT0D_SUP
           LDI      TEMP,0x3C
           MOV      VT0D_INF,TEMP
           OUT      PORTD,VT0D_INF
           LDI      TEMP,0x1C
           MOV      VT1_SUP,TEMP
           LDI      TEMP,0x3C
           MOV      VT1_INF,TEMP

```

```

LDI      VT2_SUP,0x1E
LDI      VT2_INF,0x1C
LDI      VT0U_SUP,0x1E
LDI      VT0U_INF,0x2A

RJMP    DOWN

SECTOR5:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0x1E
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0xE
MOV      VT1_SUP,TEMP
LDI      TEMP,0x1E
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0x1E
LDI      VT2_INF,0x1C
LDI      VT0U_SUP,0x1E
LDI      VT0U_INF,0x2A

RJMP    UP

SECTOR6:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0x1E
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0xE
MOV      VT1_SUP,TEMP
LDI      TEMP,0x1E
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0xF
LDI      VT2_INF,0xE
LDI      VT0U_SUP,0xF
LDI      VT0U_INF,0x2A

RJMP    DOWN

SECTOR7:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0xF
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0x7

```

```

MOV      VT1_SUP,TEMP
LDI      TEMP,0xF
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0xF
LDI      VT2_INF,0xE
LDI      VT0U_SUP,0xF
LDI      VT0U_INF,0x2A

RJMP     UP

SECTOR8:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0xF
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0x7
MOV      VT1_SUP,TEMP
LDI      TEMP,0xF
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0x27
LDI      VT2_INF,0x7
LDI      VT0U_SUP,0x27
LDI      VT0U_INF,0x2A

RJMP     DOWN

SECTOR9:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0x27
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0x23
MOV      VT1_SUP,TEMP
LDI      TEMP,0x27
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0x27
LDI      VT2_INF,0x7
LDI      VT0U_SUP,0x27
LDI      VT0U_INF,0x2A

RJMP     UP

SECTOR10:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0x27

```



```

MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0x23
MOV      VT1_SUP,TEMP
LDI      TEMP,0x27
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0x33
LDI      VT2_INF,0x23
LDI      VT0U_SUP,0x33
LDI      VT0U_INF,0x2A

RJMP     DOWN

SECTOR11:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0x33
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0x31
MOV      VT1_SUP,TEMP
LDI      TEMP,0x33
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0x33
LDI      VT2_INF,0x23
LDI      VT0U_SUP,0x33
LDI      VT0U_INF,0x2A

RJMP     UP

SECTOR12:
LDI      TEMP,0x15
MOV      VT0D_SUP,TEMP
OUT      PORTF,VT0D_SUP
LDI      TEMP,0x33
MOV      VT0D_INF,TEMP
OUT      PORTD,VT0D_INF
LDI      TEMP,0x31
MOV      VT1_SUP,TEMP
LDI      TEMP,0x33
MOV      VT1_INF,TEMP
LDI      VT2_SUP,0x39
LDI      VT2_INF,0x31
LDI      VT0U_SUP,0x39
LDI      VT0U_INF,0x2A

RJMP     DOWN

UP:      LDI      ZH,HIGH(2*TABLA_T0)

```

```

LDI      ZL,LOW(2*TABLA_T0)
ADD      ZL,MASL;INCREMENTA Z
ADC      ZH,MASH
LPM      REG,Z+;CARGA AL REGISTRO EL VALOR DEL APUNTA DOR Z 'REGISTRO
DE 16 BITS'

LPM      REG1,Z
STS      OCR1AH,REG1;CARGA REG1 AL REGISTRO "A" DE COMPARACION
DEL TIMER 1

STS      OCR1AL,REG;CARGA REG AL REGISTRO "A" DE COMPARACION DEL
TIMER 1

LDI      ZH,HIGH(2*TABLA_T0T1_UP)
LDI      ZL,LOW(2*TABLA_T0T1_UP)
ADD      ZL,MASL;INCREMENTA Z
ADC      ZH,MASH
LPM      REG,Z+;
LPM      REG1,Z
STS      OCR1BH,REG1
STS      OCR1BL,REG
LDI      ZH,HIGH(2*TABLA_T0T1T2)
LDI      ZL,LOW(2*TABLA_T0T1T2)
ADD      ZL,MASL;INCREMENTA Z
ADC      ZH,MASH
LPM      REG,Z+;
LPM      REG1,Z
STS      OCR1CH,REG1
STS      OCR1CL,REG;
RJMP     NEXT

DOWN:
LDI      ZH,HIGH(2*TABLA_T0)
LDI      ZL,LOW(2*TABLA_T0)
ADD      ZL,MASL;INCREMENTA Z
ADC      ZH,MASH
LPM      REG,Z+;
LPM      REG1,Z
STS      OCR1AH,REG1
STS      OCR1AL,REG
LDI      ZH,HIGH(2*TABLA_T0T1_DOWN)
LDI      ZL,LOW(2*TABLA_T0T1_DOWN)
ADD      ZL,MASL;INCREMENTA Z
ADC      ZH,MASH
LPM      REG,Z
LPM      REG1,Z
STS      OCR1BH,REG1
STS      OCR1BL,REG
LDI      ZH,HIGH(2*TABLA_T0T1T2)
LDI      ZL,LOW(2*TABLA_T0T1T2)
ADD      ZL,MASL;INCREMENTA Z
ADC      ZH,MASH

```

```

                                LPM          REG,Z+
                                LPM          REG1,Z
                                STS          OCR1CH,REG1
                                STS          OCR1CL,REG;
NEXT:                          ADD          MASL,COUNT
                                CPSE        MASL,LIMIT
                                RJMP        EXIT
                                LDI         MASL,0x00
                                ADD         SECTOR,SEC_INC
EXIT:                          LDI         TEMP,0x00
                                OUT         PORTC,TEMP ;FIN DE LA INTERRUPCION
                                RETI

.ORG 0x0358
TABLA_T0:
.INCLUDE "T0_.8188.txt"
TABLA_T0_FIN: NOP; FIN DE LA TABLA
TABLA_T0T1_UP:
.INCLUDE "T0T1_UP_.8188.txt"
TABLA_T0T1_UP_FIN: NOP
TABLA_T0T1_DOWN:
.INCLUDE "T0T1_DOWN_.8188.txt"
TABLA_T0T1_DOWN_FIN: NOP
TABLA_T0T1T2:
.INCLUDE "T0T1T2_.8188.txt"
TABLA_T0T1T2_FIN: NOP

```


Apéndice E

Cálculo del diodo y capacitor de bootstrap

Uno de los métodos más utilizados debido a su simplicidad y su bajo costo para suministrar pulsos a las compuertas de los transistores es el circuito de disparo bootstrap. La Figura 4.2 muestra el diagrama eléctrico del circuito de disparo requerido por el driver IRS2185SPBF.

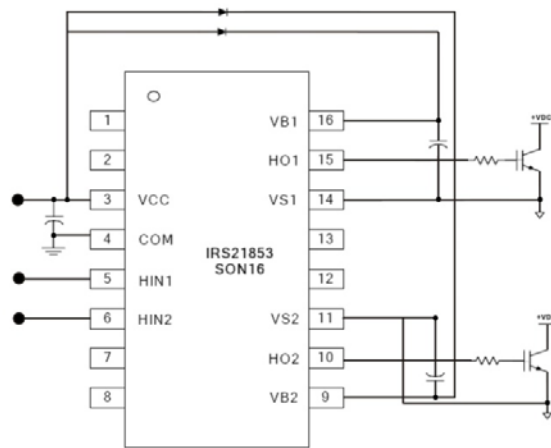


Figura E.1. Circuito de disparo por *bootstrap*.

Para el cálculo del capacitor de bootstrap, se partió de la siguiente expresión.

$$15 \times C_{bs} \geq \frac{2 \left[2Q_g + \frac{I_{qbs(max)}}{f_{sw}} + Q_{Ls} + \frac{I_{cbs(leak)}}{f_{sw}} \right]}{V_{cc} + V_f + V_{Ls} + V_{min}} \quad (E.1)$$

La Tabla E.1 lista las variables en la expresión (E.1) y sus valores obtenidos de las hojas de datos del circuito de disparo IRS21853SPBF [4-12] y las hojas de datos del modulo IGBT BSM 25 GD 120 DN2

Tabla E.1 Datos del IRS21853SPBF y BSM 25 GD 120 DN2 para el cálculo de C_{bs}

Q_g	Carga de compuerta del IGBT	130nC
$I_{qbs(max)}$	Máxima corriente debida al V_{BS} en reposo	150 μ A
Q_{LS}	Cambio en el nivel de carga necesario por ciclo	5nC
$I_{cbs(leak)}$	Corriente de fuga del capacitor de bootstrap	1pA
V_{CC}	Voltaje de alimentación del circuito	18V
V_f	Caída de voltaje en el diodo bootstrap	1.1V
V_{LS}	Caída de voltaje en el IGBT inferior	0.7V
V_{min}	Voltaje mínimo entre V_B y V_S	10V
f_{sw}	Frecuencia de conmutación	7.2kHz

Usando los valores de la Tabla E.1 se obtuvo que $C_{bs} \geq 1.2862\mu F$ y tomando el factor de multiplicación presente en la expresión (E.1) para evitar la sobrecarga del capacitor. El valor final del capacitor fue de 10 μ F.

Para la selección del diodo de bootstrap se hizo la consideración que este debe tener la capacidad de bloquear el voltaje presente en cada pierna inversora, ya que cuando el transistor superior esta activo su voltaje se ve reflejado en V_B y además considerar que el diodo debe ser de recuperación rápida para que su carga no se retroalimente hacia V_{CC} . Para encontrar el valor adecuado del diodo de bootstrap se consideró la siguiente expresión.

$$Q_{bs} = 2Q_g + \frac{I_{qbs(max)}}{f_{sw}} + Q_{LS} \quad (E.2)$$

Sustituyendo los valores de la Tabla E.1 se obtuvo que $Q_{bs} = 265.833nC$, mientras que el valor de la corriente a través del diodo se determina por medio de la expresión (E.3), la cual tomó un valor de $I_f = 1.91mA$. Por lo tanto el diodo utilizado para el circuito de disparo de los transistores fue el MUR160 que soporta un voltaje pico inversor de 600V @ 1A.

$$I_f = Q_{bs}f_{sw} \quad (E.3)$$

Apéndice F

Circuitos impresos (PCB) para la etapa de potencia

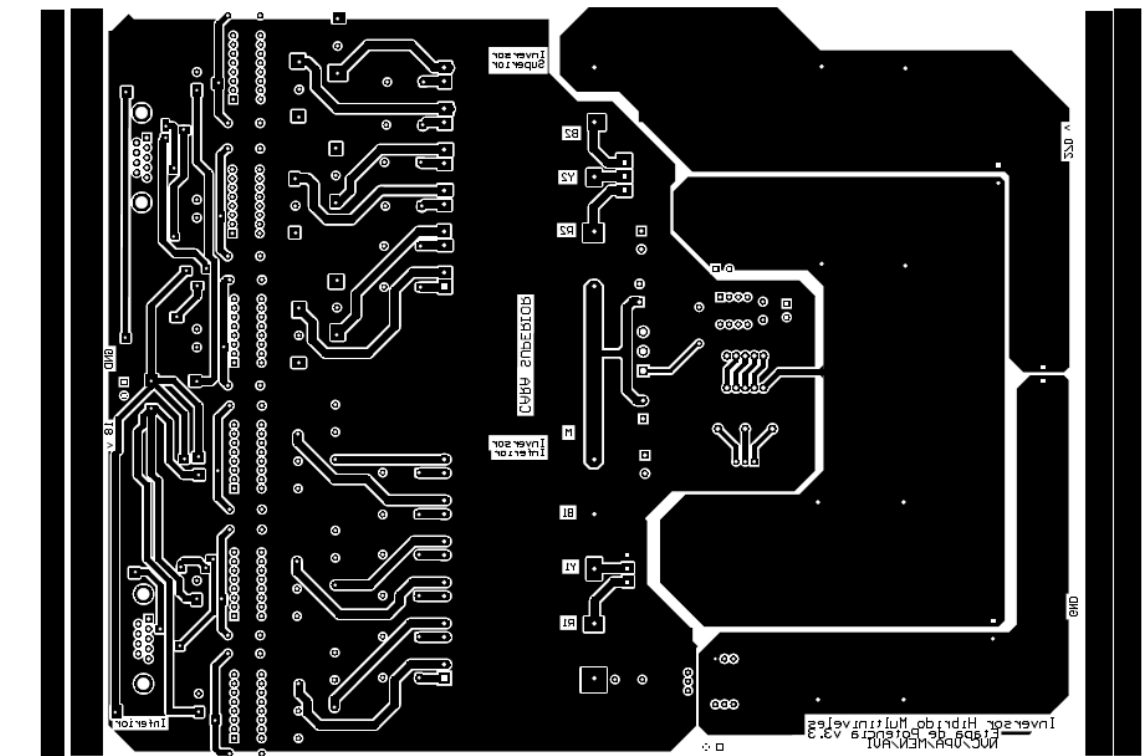


Figura F.1. Circuito impreso (PCB) de la placa de potencia, cara superior.

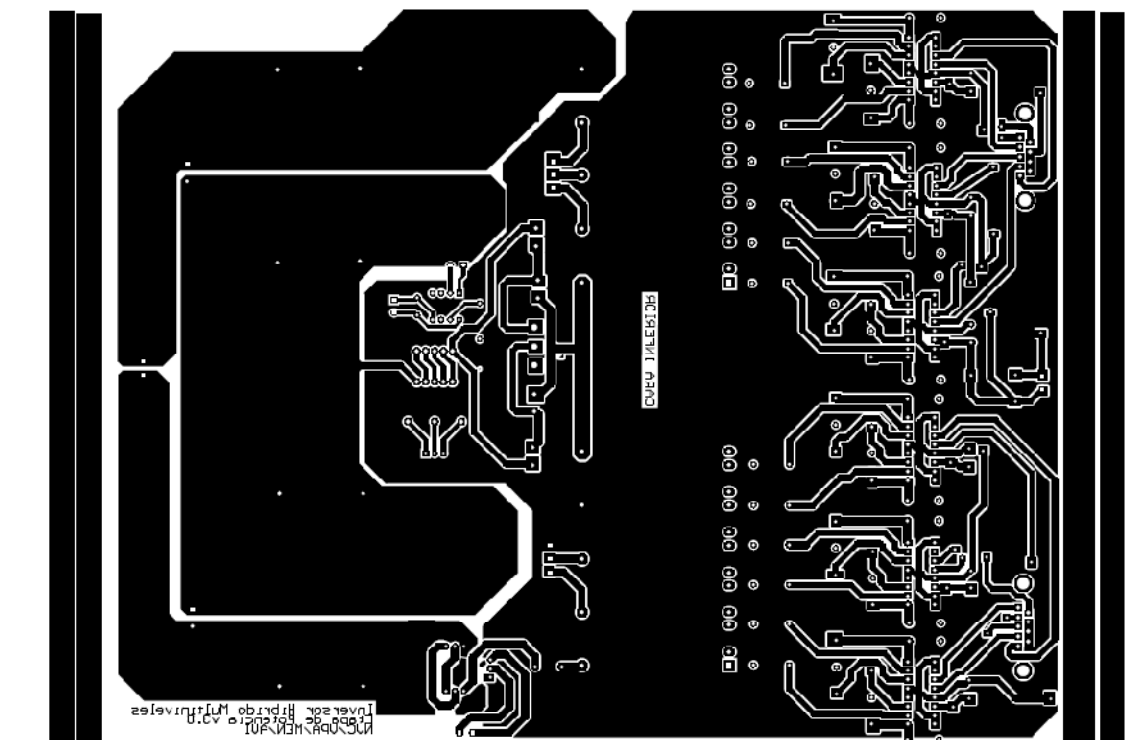


Figura F.2. Circuito impreso (PCB) de la placa de potencia, cara inferior.

Apéndice G

Prototipo inversor híbrido multiniveles

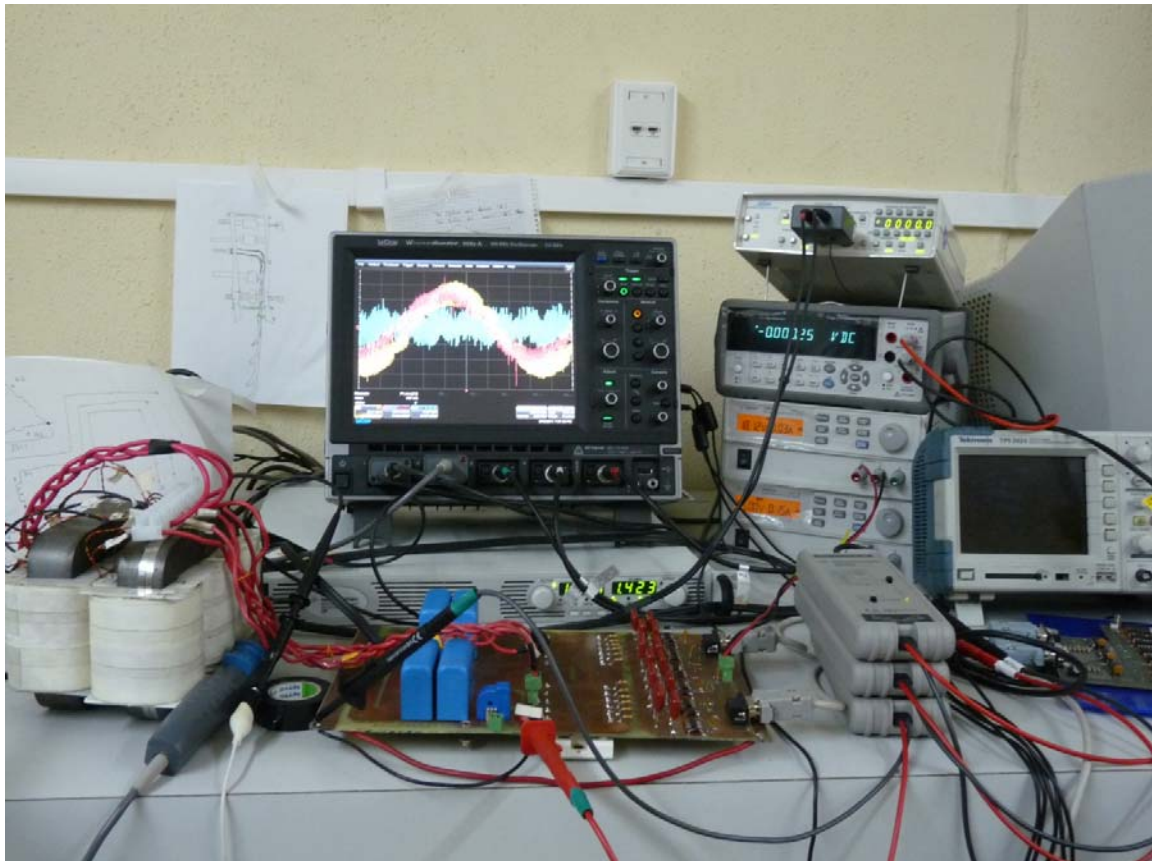


Figura G.1. Prototipo de laboratorio construido